

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-64236

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.⁸

H01L 23/28

識別記号

庁内整理番号

FI

H01L 23/28

技術表示箇所

A

審査請求 未請求 請求項の数51 OL (全 37 頁)

(21)出願番号 特願平7-213176

(22)出願日 平成7年(1995)8月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 加藤 猛

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 徳田 正秀

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 柳生 正義

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 チップ サイズ パッケージとその製造方法及びセカンド レヴェル パッケージング

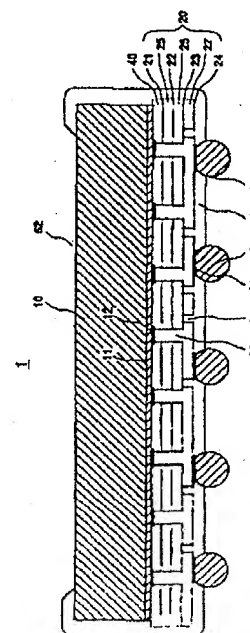
(57)【要約】

【目的】 本発明はチップ サイズ パッケージに関し、特に高密度且つ高信頼な接続と低コスト生産に好適なパッケージング技術を提供する。

【構成】 チップ (10) を同じサイズのラミネート配線基板 (20) ヘダイレクト スルー ホール (30) によりフリップ チップ接続し、両者のギャップをアンダーフィル (40) で埋め、配線 (21~24) とヴァイア ホール (31) を介して外部端子 (50) ヘ接続し、開口 (61) を除いてエンカプラント (60) により被覆する。

【効果】 チップ接続と端子の高密度エリア アレイ接続が可能になり、低誘電率化と内部配線長の短縮によりディレイとノイズが削減され、アンダーフィルとエンカプラントにより耐応力、耐湿信頼性が向上する。

図 2



【特許請求の範囲】

【請求項 1】 接続パッドを有する集積回路チップと、配線とヴァイア／スルーホールを有し、前記集積回路チップに実効的に等しいエリアサイズを有するラミネート配線基板と、前記接続パッドから直接的に前記配線へ接続される前記ヴァイア／スルーホールからなるフリップチップコネクションと、前記集積回路チップと前記ラミネート配線基板のギャップを充填するアンダーフィルと、前記配線または前記ヴァイア／スルーホールを介在し、前記フリップチップコネクションへ相互接続される外部端子と、前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、を有することを特徴とするチップサイズパッケージ。

【請求項 2】 接続パッドを有する集積回路チップと、配線とヴァイア／スルーホールを有し、前記集積回路チップに実効的に等しいエリアサイズを有するラミネート配線基板と、前記接続パッドから直接的に前記配線へ接続される前記ヴァイア／スルーホールからなるフリップチップコネクションと、前記集積回路チップと前記ラミネート配線基板のギャップを充填するアンダーフィルと、前記ヴァイア／スルーホールまたは前記フリップチップコネクションに対してシフトされ、前記配線または前記ヴァイア／スルーホールを介在し、前記フリップチップコネクションへ相互接続される外部端子と、前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、を有することを特徴とするチップサイズパッケージ。

【請求項 3】 請求項 1 記載のチップサイズパッケージにおいて、前記接続パッドから前記外部端子へ達する相互接続経路は、前記アンダーフィルと前記配線基板とのそれぞれの厚さの合計厚さより長いチップサイズパッケージ。

【請求項 4】 請求項 1 記載のチップサイズパッケージにおいて、前記ヴァイア／スルーホールは、導体カラム、または導体サイドウォールと誘電体インナーフィルとにより密に充填されるチップサイズパッケージ。

【請求項 5】 請求項 1 記載のチップサイズパッケージにおいて、前記フリップチップコネクションまたは前記外部端子は、弾性体コアと導体オーヴァークートとから成るチップサイズパッケージ。

【請求項 6】 請求項 1 記載のチップサイズパッケージ

ジにおいて、

前記アンダーフィルは、前記フリップチップコネクションに実効的に整合する熱膨張係数を持つチップサイズパッケージ。

【請求項 7】 請求項 1 記載のチップサイズパッケージにおいて、

前記配線基板は、前記フリップチップコネクションの直径に対する前記外部端子の直径の比率を γ として、 $3(\gamma+5)/(\gamma+1) \leq \alpha \leq 3(\gamma+35)/(\gamma+7)$ を満たす熱膨張係数 α (ppm/K) を持つチップサイズパッケージ。

【請求項 8】 請求項 1 記載のチップサイズパッケージにおいて、

前記配線基板は、前記外部端子の直径の 10 倍以下の厚さを持つチップサイズパッケージ。

【請求項 9】 請求項 1 記載のチップサイズパッケージにおいて、

前記エンカプスラントは、前記スルーホールを閉塞する構造を有するチップサイズパッケージ。

【請求項 10】 請求項 1 記載のチップサイズパッケージにおいて、

前記スルーホールは、スタックトヴァイアホールから成るチップサイズパッケージ。

【請求項 11】 請求項 1 記載のチップサイズパッケージにおいて、

前記配線は、前記配線基板の側面より内在するチップサイズパッケージ。

【請求項 12】 請求項 1 記載のチップサイズパッケージにおいて、

前記エンカプスラントは、前記集積回路チップと、前記アンダーフィルと、前記配線基板との側面を保護する構造を有するチップサイズパッケージ。

【請求項 13】 請求項 1 記載のチップサイズパッケージにおいて、

前記外部端子は、前記配線へインターフェースティシャルヴァイアホールにより接続され、前記エンカプスラントは前記配線基板の誘電層から成るチップサイズパッケージ。

【請求項 14】 請求項 1 記載のチップサイズパッケージにおいて、

前記フリップチップコネクションは、前記配線へ接続されるインターフェースティシャルヴァイアホールからなるチップサイズパッケージ。

【請求項 15】 請求項 1 記載のチップサイズパッケージにおいて、

前記ラミネート配線基板は低弾性率を持つラミネートから成り、前記アンダーフィルまたは前記エンカプスラントは低弾性率を持つ接着剤から成るチップサイズパッケージ。

【請求項 16】 請求項 1 記載のチップサイズパッケージ

ージにおいて、

前記配線基板は、その信号ライン層とパワー／グランドプレーンと低誘電層とから成る信号伝送路と、パワー／グランドプレーンと高誘電層とから成るデカップリングキャパシタとを有するチップサイズパッケージ。

【請求項 17】請求項 1 記載のチップサイズパッケージにおいて、

前記配線基板は、該基板の高抵抗層から成る終端抵抗を有するチップサイズパッケージ。

【請求項 18】請求項 1 記載のチップサイズパッケージにおいて、

前記配線基板は、前記集積回路チップ上の配線より低負荷である配線から成るイントラチップハイウェイを有し、該イントラチップハイウェイは前記フリップチップコネクションまたは前記ヴァイア／スルーホールを介して前記接続パッドを他の接続パッドへ相互接続するチップサイズパッケージ。

【請求項 19】請求項 1 記載のチップサイズパッケージにおいて、

前記集積回路チップは共通の前記配線へ接続される複数の前記接続パッドを有し、

前記外部端子は前記接続パッドより大きいエリアサイズを有し、より広いピッチを以て整列されるチップサイズパッケージ。

【請求項 20】請求項 1 記載のチップサイズパッケージにおいて、

前記接続パッドは前記集積回路チップの表面に群をなし、局在し、

前記外部端子は前記接続パッドより広いピッチを以て、前記配線基板の表面に実効的に均等にアレイ状に離散するチップサイズパッケージ。

【請求項 21】請求項 1 記載のチップサイズパッケージにおいて、

前記外部端子は、表面実装型であり、ボール、カラム、マイクロピン、またはランドのグリッドアレイから成るチップサイズパッケージ。

【請求項 22】請求項 1 記載のチップサイズパッケージにおいて、

前記外部端子は、0.3mm 以上から 1.0mm 以下までの 0.1mm 刻み、または 10mil 以上から 40mil 以下までの 10mil 刻みの端子ピッチを以て配列される正方格子または面心格子のグリッドアレイから成るチップサイズパッケージ。

【請求項 23】請求項 1 記載のチップサイズパッケージにおいて、

前記パッケージの外形は、3mm 角から 25mm 角までの 1mm 刻みの正方形、または $3 \times 7 \text{ mm}^2$ から、 $4 \times 9 \text{ mm}^2$ 、 $5 \times 12 \text{ mm}^2$ 、 $6 \times 14 \text{ mm}^2$ 、 $7 \times 16 \text{ mm}^2$ 、 $8 \times 18 \text{ mm}^2$ 、 $9 \times 21 \text{ mm}^2$ 、 $10 \times 23 \text{ mm}^2$ 、

mm^2 、 $11 \times 25 \text{ mm}^2$ までの縦横各 $\pm 1 \text{ mm}$ の範囲の長方形から成るチップサイズパッケージ。

【請求項 24】請求項 1 記載のチップサイズパッケージにおいて、

前記集積回路チップは、その背面に取り付けられるヒートスプレッド、ヒートシンク、またはフィンを有するチップサイズパッケージ。

【請求項 25】請求項 1 記載のチップサイズパッケージにおいて、

10 前記アンダーフィルは、前記集積回路チップを前記配線基板へフリップチップダイアタッチする接着剤から成り、

前記フリップチップコネクションは、前記接続パッドから直に前記アンダーフィルを貫通し、前記配線へ接続されるダイレクトスルーホールから成るチップサイズパッケージ。

【請求項 26】接続パッドを有する集積回路チップと、配線とヴァイア／スルーホールを有し、前記集積回路チップに実効的に等しいエリアサイズを有するラミネート配線基板と、

20 前記接続パッドをインターステイシャルヴァイアホールを介して前記配線または前記ヴァイア／スルーホールへ接続するバンプから成るフリップチップコネクションと、

前記集積回路チップと前記ラミネート配線基板のギャップを充填し前記バンプを補強する接着剤からなるアンダーフィルと、

前記配線または前記ヴァイア／スルーホールを介在し、前記フリップチップコネクションへ相互接続される外部端子と、

30 前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、を有することを特徴とするチップサイズパッケージ。

【請求項 27】接続パッドを有する集積回路チップと、誘電層と導体層とから成り、前記集積回路チップに実効的に等しいエリアサイズを有し、前記集積回路チップがフリップチップダイアタッチされるラミネート配線基板と、

40 前記接続パッドを前記導体層に接続するダイレクトヴァイアホールと、

前記導体層または前記ダイレクトヴァイアホールを介在し、前記接続パッドへ相互接続される外部端子と、前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、

を有することを特徴とするチップサイズパッケージ。

【請求項 28】請求項 1 記載のチップサイズパッケージにおいて、

50 前記配線基板は、複数の集積回路チップを搭載可能にす

るため、各集積回路チップのエリアサイズの合計に実効的に等しいエリア サイズを有するチップ サイズ パッケージ。

【請求項 29】請求項 1 記載のチップ サイズ パッケージにおいて、

前記配線基板は、信号配線層数 2 以上、信号配線層の誘電率 4 以下、ラインピッチ 0.2 mm 以下、ヴァイア／スルー ホール径 0.3 mm 以下、熱膨張係数 15 以下の構造及び特性を有するチップ サイズ パッケージ。

【請求項 30】請求項 1 記載のチップ サイズ パッケージにおいて、

前記配線基板は、フィルム積層型ラミネート基板、またはビルドアップ型ラミネート基板、または転写型ラミネート基板から成るチップ サイズ パッケージ。

【請求項 31】請求項 1 記載のチップ サイズ パッケージにおいて、

前記配線基板の誘電体、前記アンダーフィル、および前記エンカプスラントは、エポキシ系樹脂、ポリイミド系樹脂、マレイミド系樹脂、ビスマレイミド系樹脂、フッ素系樹脂、ウレタン系樹脂、シリコン系樹脂、フェノール系樹脂、ビフェニール系樹脂、または前記樹脂との混合材、または前記樹脂にガラス／シリカ／アラミドの繊維またはシリカ／セラミック／ポリマ／エラストマのフィラを添加する複合材から成るチップ サイズ パッケージ。

【請求項 32】請求項 1 記載のチップ サイズ パッケージにおいて、

前記配線とヴァイア／スルー ホール、および前記配線基板のベースは、銅、金、アルミ、インバ、モリブデン、ニッケル、クロム、チタン、タングステンまたはこれら金属との合金または複合金属から成るチップ サイズ パッケージ。

【請求項 33】請求項 1 記載のチップ サイズ パッケージにおいて、

前記フリップ チップ コネクションまたは前記外部端子は、金、銀、銅、アルミ、ニッケルまたは半田から成る金属、またはこれら金属との合金または複合金属、または前記金属をコア、外殻、またはフィラとするポリマとの複合材から成るチップ サイズ パッケージ。

【請求項 34】請求項 1 記載のチップ サイズ パッケージにおいて、

前記外部端子、または前記開口における前記配線または前記ヴァイア／スルーホールは、半田に対するバリアメタル層を有するチップ サイズ パッケージ。

【請求項 35】接続パッドを有する集積回路チップと、配線とヴァイア／スルー ホールを有し、前記集積回路チップに実効的に等しいエリア サイズを有するラミネート配線基板と、

前記接続パッドから直接的に前記配線へ接続される前記ヴァイア／スルー ホールからなるフリップ チップ

コネクションと、

前記集積回路チップと前記ラミネート配線基板のギャップを充填するアンダーフィルと、

前記配線または前記ヴァイア／スルー ホールを介し、前記フリップ チップ コネクションへ相互接続される外部端子と、

前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、

を有するチップ サイズ パッケージの製造方法であって、

予め前記配線と前記ヴァイア／スルー ホールが形成された前記配線基板へ、前記アンダーフィルと成る接着フィルムを接着する工程と、

該接着フィルムを接着された配線基板へ、ダイレクトスルー ホールと成る穴を加工する工程と、

該工程と前後して、前記配線基板へ前記集積回路チップを接着してフリップチップ ダイ アタッチする工程と、

前記穴へ導体を形成し、前記フリップ チップ コネクションにより前記接続パッドを前記配線へ接続する工程と、

を有することを特徴とするチップ サイズ パッケージの製造方法。

【請求項 36】接続パッドを有する集積回路チップと、配線とヴァイア／スルー ホールを有し、前記集積回路チップに実効的に等しいエリア サイズを有するラミネート配線基板と、

前記接続パッドをインターステイシャル ヴァイア ホールを介して前記配線または前記ヴァイア／スルーホールへ接続するバンパから成るフリップ チップ コネクションと、

前記集積回路チップと前記ラミネート配線基板のギャップを充填するアンダーフィルと、

前記配線または前記ヴァイア／スルー ホールを介し、前記フリップ チップ コネクションへ相互接続される外部端子と、

前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、

を有するチップ サイズ パッケージの製造方法であって、

前記バンパを前記接続パッド、または前記配線基板に予め形成された前記配線または前記ヴァイア／スルー ホールへ形成する工程と、

前記バンパから成る前記フリップ チップ コネクションにより、前記接続パッドと前記配線または前記ヴァイア／スルー ホールを接続する工程と、

前記ギャップ及び前記配線基板の表面へ、それぞれ前記アンダーフィル及び前記エンカプスラントとなる接着剤を供給する工程と、

を有することを特徴とするチップ サイズ パッケージ

の製造方法。

【請求項37】接続パッドを有する集積回路チップと、配線とヴァイア／スルーホールを有し、前記集積回路チップに実効的に等しいエリアサイズを有するラミネート配線基板と、前記接続パッドから直接的に前記配線へ接続される前記ヴァイア／スルーホールからなるフリップチップコネクションと、前記集積回路チップと前記ラミネート配線基板のギャップを充填するアンダーフィルと、前記配線または前記ヴァイア／スルーホールを介在し、前記フリップチップコネクションへ相互接続される外部端子と、前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、を有するチップサイズパッケージの製造方法であって、前記エンカプスラントと成る保護フィルムへ前記開口を加工する工程と、前記配線基板へ前記保護フィルムを接着する工程と、前記開口に位置する前記配線または前記ヴァイア／スルーホールへ、前記外部端子を形成する工程と、を有することを特徴とするチップサイズパッケージの製造方法。

【請求項38】接続パッドを有する集積回路チップと、配線とヴァイア／スルーホールを有し、前記集積回路チップに実効的に等しいエリアサイズを有するラミネート配線基板と、前記接続パッドから直接的に前記配線へ接続される前記ヴァイア／スルーホールからなるフリップチップコネクションと、前記集積回路チップと前記ラミネート配線基板のギャップを充填するアンダーフィルと、前記配線または前記ヴァイア／スルーホールを介在し、前記フリップチップコネクションへ相互接続される外部端子と、前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、を有するチップサイズパッケージの製造方法であって、前記配線基板へ前記エンカプスラントとなる接着剤を供給する工程と、該工程と同時にまたはその後に前記接着剤へ開口を加工する工程と、該開口に位置する前記配線または前記ヴァイア／スルーホールへ、前記外部端子を形成する工程、または前記供給する工程より前に前記配線基板に予め形成された配線へ外部端子を形成しておく工程と、を有することを特徴とするチップサイズパッケージの製造方法。

【請求項39】接続パッドを有する集積回路チップと、配線とヴァイア／スルーホールを有し、前記集積回路チップに実効的に等しいエリアサイズを有するラミネート配線基板と、前記接続パッドから直接的に前記配線へ接続される前記ヴァイア／スルーホールからなるフリップチップコネクションと、前記集積回路チップと前記ラミネート配線基板のギャップを充填するアンダーフィルと、
10 前記配線または前記ヴァイア／スルーホールを介在し、前記フリップチップコネクションへ相互接続される外部端子と、前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、を有するチップサイズパッケージの製造方法であって、前記配線、前記ヴァイア／スルーホール、前記フリップチップコネクション、および前記外部端子を成す導体をアディティブ選択めっきにより形成することを特徴とするチップサイズパッケージの製造方法。

【請求項40】接続パッドを有する集積回路チップと、配線とヴァイア／スルーホールを有し、前記集積回路チップに実効的に等しいエリアサイズを有するラミネート配線基板と、前記接続パッドから直接的に前記配線へ接続される前記ヴァイア／スルーホールからなるフリップチップコネクションと、前記集積回路チップと前記ラミネート配線基板のギャップを充填するアンダーフィルと、
30 前記配線または前記ヴァイア／スルーホールを介在し、前記フリップチップコネクションへ相互接続される外部端子と、前記外部端子の位置に開口を有し、前記ラミネート配線基板を保護するエンカプスラントと、から成るチップサイズパッケージを搭載しており、前記外部端子を接続され、端子ピッチより狭い配線ピッチを以てルーティングされるインターコネクションから成る、前記ラミネート配線基板より大きいエリアサイズを持つ二次配線基板を有することを特徴とするセカンドレベルパッケージング。

【請求項41】請求項40記載のセカンドレベルパッケージングにおいて、前記二次配線基板は、前記インターコネクションを成すアドヴァンスト配線層と、より広い配線ピッチを以てルーティングされる基板ベースとから成るセカンドレベルパッケージング。

【請求項42】請求項40記載のセカンドレベルパッケージングにおいて、前記チップサイズパッケージと、これとは別個のパッケージとが、互いに接近して配置され、前記二次配線基板

の低誘電率層にある前記インターコネクションにより相互接続されるセカンド レヴェル パッケージング。

【請求項43】請求項40記載のセカンド レヴェル パッケージングにおいて、

前記ラミネート配線基板は、パワー／グランド プレーン間にデカップリングキャパシタを備え、前記二次配線基板は前記デカップリング キャパシタに接続される、より大きい容量の二次デカップリング キャパシタを備えるセカンドレヴェル パッケージング。

【請求項44】請求項40記載のセカンド レヴェル パッケージングにおいて、

前記集積回路チップの熱膨張係数を α_0 、前記二次基板の熱膨張係数を α_2 、前記フリップ チップ コネクションの直径に対する前記外部端子の直径の比率を γ として、前記ラミネート配線基板は $(\gamma\alpha_0 + \alpha_2) / (\gamma + 1) \leq \alpha_1 \leq (\gamma\alpha_0 + 7\alpha_2) / (\gamma + 7)$ を満たす熱膨張係数 α_1 を持つセカンド レヴェル パッケージング。

【請求項45】請求項40記載のセカンド レヴェル パッケージングにおいて、

前記配線基板と前記二次配線基板は同種の部材から成るセカンド レヴェルパッケージング。

【請求項46】請求項40記載のセカンド レヴェル パッケージングにおいて、

前記二次配線基板はラミネート基板、アドヴァンスト／ラミネート基板、セラミック基板、ラミネート／セラミック基板、デポジット／セラミック基板、ラミネート／シリコン基板、またはデポジット／シリコン基板から成るセカンド レヴェル パッケージング。

【請求項47】請求項40記載のセカンド レヴェル パッケージングにおいて、

前記外部端子より低融点の半田から成り、前記外部端子を前記インターコネクションへ接続するジョイントを有するセカンド レヴェル パッケージング。

【請求項48】請求項40記載のセカンド レヴェル パッケージングにおいて、

前記外部端子を前記インターコネクションへ接続する、スプリング コンタクトまたは導電性エラストマから成るエリア アレイ ソケットを有するセカンドレヴェル パッケージング。

【請求項49】請求項40記載のセカンド レヴェル パッケージングにおいて、

前記チップ サイズ パッケージと別個のパッケージとの背面に共通に取り付けられるヒート スプレッド、ヒート シンク、またはフィンを有するセカンドレヴェル パッケージング。

【請求項50】請求項40記載のセカンド レヴェル パッケージングにおいて、

プロセッサ チップから成る前記集積回路チップを有する前記チップ サイズパッケージと、

前記チップ サイズ パッケージに接近して配置され、

低誘電率層にある前記インターコネクションにより相互接続されるメモリ パッケージと、

を有するセカンド レヴェル パッケージング。

【請求項51】請求項40記載のセカンド レヴェル パッケージングにおいて、

メモリ チップの前記集積回路チップを有し、互いに接近して配置され、前記インターコネクションにより相互接続される複数の前記チップ サイズ パッケージを有するセカンド レヴェル パッケージング。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路チップと同等サイズの小型パッケージに係り、特に高密度且つ高信頼な接続と低コスト生産に好適なチップ サイズ パッケージング技術に関する。

【0002】

【従来の技術】従来のチップ サイズ パッケージ (Chip Size Package: 略称CSP) は、例えば日経エレクトロニクス、1995年1月16日号、第626号、第79頁から第86頁、または日経マイクロデバイス、1994年5月号、第98頁から第102頁に記載のように、大別して四種類のものが知られている。

【0003】第1番目のCSPは、LSIチップと外部端子間のインタポーザとしてセラミック配線基板 (Ceramics) を用いており、CCSPとして分類される。

【0004】図9(A)に示すように、CCSP910では、チップ911をパンプ913によりセラミック基板912にフリップ チップ接続する。パンプ913は金めっき、または金ボール ボンディングと導電性ペーストから成る。チップ911とセラミック基板912の透き間は樹脂917により封止する。セラミック基板912は単層から数層の構成であり、下面に外部端子としてランド915を備える。パンプ913側のパッド914とランド915は、セラミック基板912を上下に貫通するヴァイア ホール (Via Hole: VH) 916により接続する。ランド915のエリア アレイピッチは1.0mmである。

【0005】第2番目のCSPは、インタポーザとしてTAB (Tape Automated Bonding) やTCP (Tape Carrier Package) と同様のフレキシブル配線基板を用いており、TCSPとして分類される。

【0006】図9(B)に示すように、TCSP920では、チップ921の表面にフレキシブル配線基板すなわちテープ923を弾性接着剤928 (厚さ50~100 μ m) により貼り付け、封止する。チップ921四辺の周辺パッド922にテープ923のリード925をTABにより接続する。テープ923は銅配線層924と

ポリイミド フィルムの誘電層923から成る2層構造である。リード925は金めっき、または銅配線自体から成る。外部端子の bumps 927はテープ923のVH 926に形成され、金/ニッケルめっきまたは半田から成る。bumps 927のアレイ ピッチは0.5mmまたは1.0mmである。なお、オプションの保護層929は樹脂930により取り付けられる。

【0007】第3番目のCSPは、インターポーザを用いない代わりにLSIチップ上に金属配線(Metals)を形成しており、MCSPとして分類される。

【0008】図10(A)に示すように、MCSP940では、ウェハ プロセスによりチップ941のパッド942とパッシベーション943の上にニッケル金属配線944を形成し、さらにポリイミド フィルム945をコーティングする。外部端子の形成は、まず配線944上に半田946を蒸着し、銅インナー bumps 947を転写し、チップ941の表面に封止樹脂949をモールドし、最後にインナー bumps 947に外部端子の半田 bumps 948を供給する。bumps 948のアレイ ピッチは0.8mmまたは1.0mmである。

【0009】第4番目のCSPは、インタポーザとしてLOC(Lead-on-chip)構造のリード フレームを用いており、LOC-CSPとして分類される。端子数の少ないメモリに特化したパッケージである。

【0010】図10(B)に示すように、LOC-CSP950ではチップ951の上に保護フィルム952を介してリード フレーム953を接着する。チップ951の中央のパッドとリード953はワイヤ954によりボンディングする。チップ951の表面とリード953の一部は樹脂955により封止する。二辺に配列されるリード953のピッチは1.0mmである。

【0011】

【発明が解決しようとする課題】ハイエンド プロセッサから民生用機器まで半導体装置の高性能化に伴って、LSIパッケージの多ピン化と小型化の両立が強く求められている。多ピン化はデータ転送能力の向上、小型化はディレイの短縮、装置の軽量化に寄与する。

【0012】従来主流であったQFP(Quad Flat Package)に代わり、現在はBGA(Ball Grid Array)パッケージが脚光を浴びている。パッケージの周辺からリード端子を取り出すQFPに比べて、底面全体に二次元アレイ状に半田ボール端子を配置するBGAは高密度接続にとって有利である。BGAのピッチは1.0、1.27、または1.5mmである。多ピン対応の0.3mmピッチQFPより半田付けの歩留まりが高い。パッケージのサイズは3~4cm角、端子数は600~700ピンが実用的な限界と目されている。

【0013】上記従来技術の三種類のCCSP、TCS

P、MCSPはBGAと同様にエリブ アレイ端子を備えており、 μ BGA(Micro-BGA)とも呼ばれる。CSPはBGAより端子ピッチをさらに0.5~1.0mmへ狭めることにより、究極のチップ サイズにまで多ピン パッケージの小型化を図る。次世代のLSIパッケージとして実用化に向け盛んに開発されており、現時点で1~2cm角のサイズで100~350ピンのCSPが報告されている。今後の重要課題は、さらに多ピン、狭ピッチ化の際の接続信頼性の確保、高速化への対応、そして低コスト化である。

【0014】CCSPでは、金 bumps によりフリップチップ接続を行なっている。 bumps の形成方法によるが、接続ピッチ約100 μ m、面積当たりの接続密度10000パッド/cm²が可能である。シリコン チップ(約3ppm/K)とセラミック基板(4~7ppm/K)の熱膨張係数差に起因する熱応力は、チップ-基板間の封止樹脂により緩和される。CCSPの外部端子数は bumps によっては制限されない。

【0015】ランド端子は、例えばクリーム半田のスクリーン印刷と一括リフローによりプリント配線基板(Printed Wiring Board: PWB)に接続される。PWB(13~18ppm/K)と剛性の高いセラミック基板の熱膨張差を考慮すると、半田ジョイントの信頼性を確保するためにはランドのピッチとして約1mm必要である。これ以下のピッチではセラミック基板とPWBの間に樹脂を充填し、半田ジョイントを補強する手間が生じる。端子密度は約100ピン/cm²以下となり、例えば2cm角のパッケージ サイズでは最大400ピンが上限である(実用的なチップ サイズは一般的に2cm以下である)。

【0016】外部端子としてランドの部分に半田 bumps を後付けすれば、その高さによる応力分散効果が期待できる。しかし、接続歩留まり向上のため半田 bumps の高さを揃える必要があり、コスト高になる。セラミック基板が一般的にコストがかかることを考え合わせると、低コスト化にとって不利である。

【0017】セラミック基板は、半田ジョイントの低応力化のため0.4mm程度まで薄くなる。セラミック1層当たりの標準的な厚さは0.2mm以上であるから、層数は2層となる。標準的なライン ピッチは0.4mm以上である。2層基板から取り出せる最大端子数は、2cm角を仮定すると300ピン強となる。コスト増加を招くが、カスタム基板を用いてライン ピッチを0.2mmにするか、層数を4層にすれば、最大端子数を倍増できる。しかし、上記ランド ピッチの制限により実際の端子数は増やせない。多層化は、端子数の増加よりも、高速化への対策、例えば電源/グラウンドの強化、終端抵抗やデカップリング キャパシタ(バイパス コンデンサ)の形成に費やされる。

【0018】セラミックの誘電率は、アルミナやガラス

セラミック等の材料によって5~10の範囲にある。TABテープやPWBに用いられる有機材料に比べて高い。低誘電率セラミック材料はコストがかかる。導体金属には銅より抵抗率が高いタングステンやモリブデンが多用される。

【0019】TCSPでは、テープ リードをチップの周辺にTAB接続する。TABピッチは通常約100 μ mまで可能であり、2cm角の四辺から800パッド取り出せる。但し、ファイン ピッチではギヤング ボンディングを行なえず、シングル ポイント ボンディングになる上、ボンダー設備が高価である。パッド数が増えると、製造スループットが低下する。

【0020】外部端子のバンパは、CCSPと同様の半田スクリーン印刷か、または半田バンパ自体によりPWBに接続される。チップ-PWB間の熱膨張差は、チップ-テープ間の弾性接着剤で吸収される。半田付けの歩留まりも考慮に入れて、バンパの狭ピッチ化は0.3mm程度まで、端子密度は約1000ピン/cm²までが可能である。

【0021】弾性接着剤は応力緩和の他、検査性を向上する。接着剤の弾性とテープのフレキシビリティにより、バンパが高さ方向に伸縮できる。このコンプライアンスが検査ソケットとの接触抵抗のばらつきを抑える。テープと弾性接着剤はチップを封止する役目も果たす。CCSPのセラミック基板に比べて吸水性が有るものの、実用的な耐湿性は確保される。

【0022】TABテープは、通常、配線層/誘電層から成る2層型、配線層/接着層/誘電層から成る3層型、配線層/接着層/誘電層/グランド層から成る2メタル層型がある。2cm角サイズでバンパ用のVHの間をぬって配線層1層から0.1mmライン ピッチで引き出せる端子数は約500ピン、0.05mmなら約900ピンである。但し、TCSPの端子数は、上記TABピッチによっても制限されるから高々800ピンとなる。

【0023】テープ材のポリイミドの誘電率は約3であり、CCSPより低い。配線材は低抵抗の銅である。上記2メタル層型であれば、特性インピーダンスを整合できる。しかし、パッケージ内部の配線長は、フリップチップ接続するCCSP(チップ中央のパッドから下方にバンパとVHを経てランド端子に達する)に比べて、TAB接続するTCSP(チップ外周のパッドから横方向にテープ配線を経てバンパ端子に達する)の方がかなり長くなる。2cm角での伝播ディレイを誘電率と配線長から単純に試算すると、TCSPはCCSPの数倍遅い。配線長と共にインダクタンスも大きくなり、高周波ノイズに弱い。テープへの終端抵抗やキャパシタの作り込みが難しく、低ノイズ化のフィジビリティの点でTCSPはCCSPに劣る。

【0024】MCSPでは、チップのパッドからインナ

ーバンパまでの金属配線、ポリイミド被覆、半田蒸着までをウエハ プロセスで行ない、インナーバンパ転写、モールド、半田バンパ付けのプロセスを経る。蒸着/フォトリソグラフィ プロセスは、CCSPとTCSPに比べてチップ コストをかなり押し上げる。パッドや配線パターンはフォトリソグラフィにより微細化することが可能であるが、端子サイズはインナーバンパ転写、半田バンパ付けの機械的作業のために0.3~0.4mm前後が下限である。

10 【0025】バンパをPWBに接続する場合、チップ-PWB間の大きな熱膨張差が問題となる。バンパがリジッドにチップに固定されるから、応力がバンパに集中する。TCSPのような応力緩和は行なわれない。特に大型チップでは、MCSPのバンパピッチは1mm以上必要である(CCSPのセラミック基板-PWB間を接続するランドピッチが1.0mmであるから、これより大きく設定する方が信頼性から見て安全である)。端子密度は100ピン/cm²を切り、2cm角から数1000ピンが限界である。PWB実装では、MCSPはCCSPやTCSPに対して劣位にある。

20 【0026】狭ピッチ化するためには、MCSPの実装先をチップに熱膨張係数が近いセラミック基板に限るか、またはMCSPとPWBの間に樹脂を充填してバンパを補強する。前者の方法では約1/4、後者の方法で約1/2~1/3にピッチを狭めることが可能になる。但し、実際の端子ピッチは、上記端子サイズにより制限を受け、せいぜい0.6~0.8mmである。すなわち、実装条件の制約付きならば、2cm角サイズから約800ピンを取り出せる。

30 【0027】パッケージ内部の配線長は、パッドとバンパの配置にもよるが、MCSPが最も短くなる可能性がある。伝播ディレイはCCSPのさらに数分の一に短縮される。インナーバンパとバンパの抵抗は無視できる。但し、電源/グランド層の増設、終端抵抗とキャパシタの形成には過大なウエハ製作コストがかかる。

40 【0028】LOC-CSPでは、パッドからリードフレームへワイヤボンディング(Wire Bonding:WB)を行なう。WBのピッチは最小約100 μ mが可能であるものの、外部端子のピッチと数はワイヤに依存せず、リードによって決まる。

50 【0029】リード端子はチップ上から二辺方向に取り出され、PWBへ半田接続される。チップに接着されるため、材料には熱膨張係数を低く抑えたFe/Ni/C合金(6ppm/K)やFe/Ni合金(8ppm/K)が用いられる。チップ-PWB間の熱膨張差はリードと封止樹脂により分散される。リード長は数mmあり、半田ジョイントの長さも1mm以上あるので、リードピッチを1.0mmとしてもMCSPのバンパのような応力集中による破断は生じない。端子密度はパッケージの長手方向に20ピン/cm(二辺分)となる。2

cm長なら40ピンである。

【0030】LOC-CSPの端子数は、他のCCSP、TCSPに比べて1/10以下であり、非常に少ない。内部配線長はワイヤとリードの長さを合計すると4～5mmあり、CCSPやMCSPより長い。封止樹脂の誘電率はCCSPのセラミック基板より小さいが、伝播ディレイはCCSPを上回る。LOC-CSPの適用先は、多ピン化より小型化が最も重要なメモリチップに限られる。

【0031】上記従来技術のCCSP、TCSP、MCSP、LOC-CSPに関する我々の考察結果を表1にまとめた。四種類のCSPの一長一短を全体的に眺めることができる。上述した内容と合わせて各CSPの長所を表1から拾いあげてゆくと、下記に示すような、将来に向けた課題と進むべき方向が浮かび上がってくる。

【0032】

【表1】

表1

項目	CCSP	TCSP	MCSP	LOC-CSP	LCSP目標
チップ接続	バンブ(ブリッジチップ)	TABテープ	メタル形成	ワイヤ	ブリッジチップ
構成	エリア	四辺	エリア	中央列	エリア
形態	100μm	100μm	<100μm	100μm	100～300μm
ピッチ	10000パッド/cm ²	100パッド/cm	>10000パッド/cm ²	100パッド/cm	>1000パッド/cm ²
密度	W.Mo/セラミック	Cu/ポリイミド	Ni/ポリイミド、樹脂	合金/樹脂	Cu/ラミネート
配線基板	構成	誘電率	層数	ピッチ	
	5～10	2.5～3.5	3～4	～4	3～4
	1～2層	1層	1層	—	1～2層
	0.2～0.4mm	0.05mm	0.02mm	—	0.1～0.2mm
外部端子	構成	ピッチ	バンブ	リード	リード
	ランド	0.3mm	(0.8)～1.0mm	1.0mm	<0.7mm
	100ピン/cm ²	1000ピン/cm ²	100～(150)ピン/cm ²	20ピン/cm	>200ピン/cm ²
	400ピン	800ピン	400～(800)ピン	40ピン	>800ピン
信号伝送	遅延(2cm角)	1倍	2～3倍	1～2倍	<1倍
R.C搭載	可	難	不可	不可	可
封止	耐湿性	優	良	良	良
検査性	インテグリティ	無	無	無	可
コスト	チップ	—	高	—	—
基板	基板	高	—	—	—

【0033】

狙 い	課 題	方 向
1. チップ接続数向上	(1) エリア アレイ化 (2) 低熱応力化	・フリップ チップ接続 ・樹脂補強
2. 外部端子数向上	(1) エリア アレイ化 (2) 配線能力向上 (3) 低熱応力化	・バンパ、ランド等 ・多層配線基板 ・狭ピッチ配線、VH/TH ・応力緩和構造(弾性材料) ・熱膨張係数整合
3. ディレイ短縮	(1) 内部配線長短縮 (2) 低誘電率化 (3) 低抵抗化	・フリップ チップ接続 ・小径VH/TH ・有機材料配線基板 ・銅配線
4. 低ノイズ化対応	(1) 反射低減 (2) 電源揺れ低減	・終端抵抗 ・特性インピーダンス整合 ・非結合キャパシタ
5. 封止、耐環境	(1) 耐湿性向上	・低吸水性樹脂 ・浸入防止構造
6. 検査性向上	(1) 均等接触 (2) 端子等高化	・追従構造(弾性材料) ・めっき、ボール付け等
7. 低コスト化	(1) チップ一括接続 (2) 端子一括形成 (3) PWB一括接続 (4) 非セラミック基板 (5) 非蒸着配線	・フリップ チップ接続 ・めっき、蒸着法等 ・半田一括リフロー ・有機材料配線基板 ・インタポーザ配線基板

上記の課題と方向を踏まえて、本発明の当面の目標は、表1の最右欄に示したように、フリップ チップ接続、接続ピッチ100~300 μ m(エリア アレイ接続により、ピッチを極端に狭めずとも十分な接続密度が得られる)、エリアアレイ外部端子、端子ピッチ0.7mm以下、端子密度200ピン/cm²以上、2cm角サイズの端子数800ピン以上、伝播ディレイ1以下(CCSP基準)とする。熱応力に対する信頼性と耐湿性は当然確保する必要がある。加えて、電源/グラウンドの強化、抵抗/キャパシタの形成、コンプライアンスの付与等が可能であることが望ましい。

【0034】これらを勘案すると、インタポーザに用いる配線基板は、信号配線層数1~2、誘電率3~4、ラインピッチ0.1~0.2mm、VH/TH直径0.1~0.3mm、PWBの熱膨張係数以下という仕様を満たす必要がある。CCSPに用いたセラミック基板とTCSPに用いたテープ(フレキシブル基板)を除くと、配線基板としては有機ラミネート基板(PWB)、有機デポジット基板、無機デポジット基板等が知られている。このうち前二者は有機材料から成り、材料設計や製造プロセスの選択肢が広い。但し、有機デポジット基板は堆積先となるベースを必要とする。したがって、比較的低コストで目標に到達する可能性を有するのはラミネート基板である。ここで言うラミネート基板には、有機

積層型やビルドアップ型等のアドヴァンスト型も含める。

【0035】ここで、我々は、インタポーザとしてラミネートベースの配線基板(Laminated-based Substrates)を用いるCSPを新規にLCSPとして提案する。これは上記従来技術にないコンセプトである。但し、ただ単に標準的なラミネート基板を適用しただけのLCSPでは、幾つかの重大な欠陥を生じる。

【0036】図11に何らの工夫もしない従来のLCSPの一例を示す。LCSP970では、チップ971をバンパ974によりラミネート基板972にフリップチップ接続する(ここではフリップチップ接続手段としてバンパを用いたが、これに限るものではない。他の手段は本発明として後述する)。チップ971とラミネート基板972の透き間は樹脂980により封止する。この図では、ラミネート基板972が内部信号配線層2層の構成であり、下面に外部端子としてバンパ981を備える。チップ971のパッド973は、バンパ974と、基板972のパッド975とを経て、さらに基板972の配線976、各層を貫通するヴァイアホール(Via Hole: VH)978、または全層を上下に貫通するスルーホール(Through Hole: TH)979を介して、パッド977のバンパ981に接続される。

【0037】標準的な銅クラッド ラミネート基板972の熱膨張係数は、LCSP970を実装するPWBの熱膨張係数に等しい。このため、パンプ981に加わる応力は減殺される。しかし、チップ971と基板972間の熱膨張係数の差が開く。微細なパンプ974のみに熱応力が偏ることになり、LCSP970全体の信頼性のバランスを欠く。このような応力集中は、樹脂980と基板972間やパンプ974とパッド973間等の接合界面に歪みを生じさせる。これは接続不良の引き金となる上、水分の浸入経路となり易い。

【0038】基板972では、通常、配線976のピッチが0.15~0.25mm、ドリル加工によるVH978やTH979の直径が0.3mm以上ある。TH979は中空である。VH/TH978、979は、フリップチップパンプ974（直径~50μm）に直接接続できず、0.7mmピッチ以下で並んだ端子パンプ981（直径0.3~0.4mm）の間にしか配置できないため、チップ接続エリアと外部端子エリアは大きい制約を受ける。内層配線層のキャパシティは800ピン以上の目標端子数に対して十分であっても、実際取り出せる端子数はかなり少なくなる。

【0039】この制約を緩和するため、仮にVH978やTH979を小径にすると、穴の内部へアスペクト比が小さいサブトラクティブめっきを行なうために基板972がかなり薄くなる。パンプ974とTH979とパンプ981を直列に接続すると、応力が直列部分全体に伝わり、パンプ974とパッド973間やTH979と基板972間にクラックや剥がれが誘起される恐れがある。また、中空のTH979や、基板972の側面に露出した配線976の界面からは水分が浸入し易い。耐湿性が劣化する。仮に穴の内部を何らかの方法で埋めたとしても、薄い基板972の中をTH979の導体の界面が外気からチップ971の近傍まで直線的に伸びており、まだ信頼性に不安がある。同種の問題は、基板972や樹脂980にコンプライアンスを持たせた場合にさらに顕著になる。

【0040】以上述べたように、通常のLCSPでは実用に耐えられない。LCSPの潜在能力を真に引き出すためには工夫を必要とする。本発明の目的は、チップ接続密度と外部端子密度を向上し、信頼性を確保し、且つ低コスト化を可能とするLCSPを提供することにある。

【0041】さらに具体的には、以下の通りである。

【0042】本発明の第1の目的は、チップと同等のサイズを獲得し、ファインピッチエリアアレイによる高密度チップ接続と高密度外部端子を実現し、低誘電率/高密度/多層/多機能ラミネート配線基板による高性能インターポーザを具備し、さらに、応力と吸湿に対する封止信頼性と放熱性能を確保し、低コスト材料と製造プロセスによる高歩留まり生産と高確度検査を可能ならし

めるLCSPの基本パッケージ構造を提供することにある。

【0043】本発明の第2の目的は、外部端子から配線基板を介してチップ接続に加わる応力を分散し、且つ、水分の浸入経路を抑止することにある。

【0044】本発明の第3の目的は、インターコネクション（配線及び接続）のルーティングを迂回させ、応力分散と吸湿防止を両立することにある。

【0045】本発明の第4の目的は、ヴァイア/スルーホール（VH/TH）の応力に対する強度を高め、VH/TH中空部からの水分の浸入を妨げ、さらに配線キャパシティを高めることにある。

【0046】本発明の第5の目的は、チップ接続または端子により応力を吸収させ、付加的に検査性も改善することにある。

【0047】本発明の第6の目的は、チップと基板間の熱膨張差に起因する応力に対してチップ接続の疲労寿命を延ばすことにある。

【0048】本発明の第7の目的は、チップ接続と端子の熱疲労寿命をバランスさせ、パッケージ全体の信頼性を向上することにある。

【0049】本発明の第8の目的は、端子周囲からVH/THへ抜ける吸湿経路を無くし、VH/THによるチップ接続エリアと端子エリアの制限を緩和することにある。

【0050】本発明の第9の目的は、THの界面及び中空部からの水分の浸入を遮断することにある。

【0051】本発明の第10の目的は、THからの吸湿を防ぐと共に、基板の配線キャパシティの向上により取り出せる端子数を増加することにある。

【0052】本発明の第11の目的は、基板の配線と誘電層の界面からの吸湿を防止し、使用時のショート等を防ぐことにある。

【0053】本発明の第12の目的は、チップとチップ表面の封止樹脂との間、封止樹脂と基板間の界面から来る吸湿を止め、さらに安全を図ることにある。

【0054】本発明の第13の目的は、吸湿防止手段に要するプロセスを省略し、且つ、端子許容エリアを拡大することにある。

【0055】本発明の第14の目的は、基板から封止樹脂を経てチップに到る水分の浸入を抑え、且つ、チップ接続エリアの制限を廃することにある。

【0056】本発明の第15の目的は、端子に加わる応力を吸収し、且つ、検査ソケットに対する接触を均等且つ安定化することにある。

【0057】本発明の第16の目的は、パッケージ内部配線の信号伝播ディレイを短縮し、且つ、電源ノイズを抑制することにある。

【0058】本発明の第17の目的は、端子から入出力する信号の反射ノイズを低減することにある。

【0059】本発明の第18の目的は、チップ内部同士の配線、特に長距離配線のディレイを低減することにある。

【0060】本発明の第19の目的は、チップ接続のキャパシティを活かすとともに、端子への負担を軽減することにある。

【0061】本発明の第20の目的は、チップの機能ユニットへ直接にチップ接続を行ない、チップ内部の配線長を短縮し、機能ユニットと端子間のディレイを削減することにある。

【0062】本発明の第21の目的は、狭ピッチ、高密度の入出力ピンとして実地的なエリア アレイ端子を供することにある。

【0063】本発明の第22の目的は、本発明の対象として標準的な端子ピッチの規格を提示することにある。

【0064】本発明の第23の目的は、本発明の適用範囲に含まれるチップ サイズ、すなわちパッケージ サイズを示すことにある。

【0065】本発明の第24の目的は、熱伝導または空冷によりチップを効率的に冷却することにある。

【0066】本発明の第25の目的は、チップのパッドと配線を直結する、簡便且つ高密度のエリア アレイチップ接続を具現することにある。

【0067】本発明の第26の目的は、エリア アレイ状に配列されたボンディング体を用いて、高密度のチップ接続を行なうことにある。

【0068】本発明の第27の目的は、より簡易な構造により特に薄型化と低コスト化を図ったLCSPを提供することにある。

【0069】本発明の第28の目的は、複数のチップを搭載するパッケージを、それらと等価なサイズにまで小型化することにある。

【0070】本発明の第29の目的は、実際の仕様のラミネート基板により従来のCSPに比べて多ピン化を可能にすることにある。

【0071】本発明の第30の目的は、アドヴァンスト型ラミネート基板により比較的 low コストで高密度、多層化を実現することにある。

【0072】本発明の第31の目的は、基板誘電層と封止樹脂等の、パッケージ絶縁材料の物性（誘電率、誘電正接、抵抗率、熱膨張係数、熱伝導率、弾性率、吸湿率、ガラス転移温度、粘度、接着性、加工性等）を用途に応じて調合することにある。

【0073】本発明の第32の目的は、配線とVH/THを構成する導体の性質と構成（抵抗率、熱膨張係数、熱伝導率、弾性率、接合強度、半田付け性等）を用途に適合させることにある。

【0074】本発明の第33の目的は、チップ接続と端子の材質の適正化により信頼性寿命や検査時の耐久性を向上することにある。

【0075】本発明の第34の目的は、端子の半田付けを良好に行なうと共に、仮付け検査や検査後のリペアに耐えさせることにある。

【0076】本発明の第35の目的は、パッドと配線を直結するチップ接続の製造プロセスコストを削減することにある。

【0077】本発明の第36の目的は、ボンディング体を用いるチップ接続における封止樹脂と吸湿防止手段のプロセス コストを省くことにある。

10 【0078】本発明の第37の目的は、吸湿防止手段と端子形成のためのプロセスを兼ねて簡略化することにある。

【0079】本発明の第38の目的は、別的手段により吸湿防止と端子形成のプロセス コストを下げることにある。

【0080】本発明の第39の目的は、チップ接続、配線、VH/TH、端子を微細、高密度化し、且つ、高アスペクト比によりチップ接続と端子の疲労寿命を改善することにある。

20 【0081】本発明の第40の目的は、本発明によるLCSPパッケージを高密度且つ低コストに実装し得る二次配線基板を具備し、高速信号伝送を可能ならしめ、実用上十分な耐応力信頼性、放熱、検査性を備え、LCSP本来の性能を引き出すセカンド レベル パッケージング構造を提供することにある。

【0082】本発明の第41の目的は、多ピンのLCSPと二次基板を高密度に配線し、且つ、コスト アップを低く抑えることにある。

30 【0083】本発明の第42の目的は、LCSPと別個のパッケージ間を伝播する信号のディレイを短縮することにある。

【0084】本発明の第43の目的は、LCSPへ印加される電源のノイズを低減することにある。

【0085】本発明の第44の目的は、チップー基板間のチップ接続と、基板ー二次基板間の端子の熱疲労寿命のレベルを揃え、LCSPのパッケージングの総合的な信頼性を保証することにある。

40 【0086】本発明の第45の目的は、チップ接続寿命の保証が十分である場合に、端子ピッチを大幅に狭め、より多くの端子を取り出すことにある。

【0087】本発明の第46の目的は、LCSPの端子数や性能に応じて二次基板を高密度、多層化することにある。

【0088】本発明の第47の目的は、スクリーン印刷と一括リフローによる端子の半田付けを容易にし、リペア作業のコストを低減することにある。

【0089】本発明の第48の目的は、二次基板を検査用として用い、ソケットとの接触抵抗を低く抑えることにある。

50 【0090】本発明の第49の目的は、LCSPと別個

のパッケージを冷却するための設置スペースと部品点数を削減することにある。

【0091】本発明の第50の目的は、プロセッサチップを積んだLCSPとメモリパッケージにより、高性能マルチチップモジュールを構成することにある。

【0092】本発明の第51の目的は、メモリを載せたLCSPにより大容量のメモリモジュールを提供することにある。

【0093】

【課題を解決するための手段】上記第1～第51の目的を達成するため、本発明によるLCSPは、以下の手段(1)～(51)を用いる。

【0094】(1) 集積回路チップをこれと同等サイズのラミネート配線基板の上面へフリップチップコネクション(Flip Chip Connection: FCC)により接続し、これを基板の配線またはヴァイア/スルーホール(VH or TH)を介して外部端子に接続し、FCCの周囲と共にチップと基板の間隙をアンダーフィルにより埋設し、端子を除いた基板の下面にエンカプスラントを被覆する。

【0095】(2) 配線やVH/THに接続される端子を、VH/THまたはFCCに対して互いに中心軸と垂直方向にずらして配置する。

【0096】(3) チップの接続パッドから端子までの配線接続経路を、アンダーフィルと基板の厚さの合計寸法より長くする。

【0097】(4) VH/THの穴の中を導体により、または穴の壁に導体を形成した残りの部分を誘電体により、透き間なく埋め込む。

【0098】(5) FCCまたは端子として、弾性体の表面を導体でカバーした構造を採用する。

【0099】(6) アンダーフィル材料の熱膨張係数をFCCにマッチングさせる。

【0100】(7) FCCと端子の寿命を N_c 、 N_t 、サイズを D_c 、 D_t 、その比率を $\gamma = D_t/D_c$ 、チップと基板とPWBの熱膨張係数を α_0 、 $\alpha_1 (= \alpha)$ 、 α_2 とおく。熱疲労寿命は $N_c \propto \{D_c/(\alpha_1 - \alpha_0)\}^2$ 、 $N_t \propto \{D_t/(\alpha_2 - \alpha_1)\}^2$ のようにサイズと熱膨張係数に関連付けられる。 N_c と N_t をバランスさせるため $N_c = k \cdot N_t$ とすると、基板の熱膨張係数は $\alpha_1 = (\gamma \alpha_0 + \sqrt{k \alpha_2})/(\gamma + \sqrt{k})$ となる。比例定数 $k = k_u \cdot k_s$ は、アンダーフィルによるFCCの延命効果が通常 $k_u = 5 \sim 10$ 倍、FCCと端子の構造や材料による差異が凡そ $k_s = 1/5 \sim 5$ 倍であるから、 $1 \leq k \leq 50$ となる。ここで、通常 α_0 は $\sim 3 \text{ ppm/K}$ 、 α_2 は $\sim 15 \text{ ppm/K}$ である。したがって、 $3(\gamma + 5)/(\gamma + 1) \leq \alpha \leq 3(\gamma + 35)/(\gamma + 7)$ を満たす基板を用いる。

【0101】(8) 基板の厚さを端子直径の10倍以下に制限する。

【0102】(9) エンカプスラントによりTHの表面を塞ぎ、外気から遮断する。

【0103】(10) VHをスタックし、カラム接続したTHを用いる。

【0104】(11) 配線が基板側面に露出しないように、ルーティングを行なう。

【0105】(12) 基板下面に加えてチップとアンダーフィルと基板の側面も、エンカプスラントにより被覆する。

10 【0106】(13) 端子をインタースティシャルヴァイアホール(Interstitial Via Hole: IVH)すなわち非貫通穴により配線に接続し、基板下面の誘電層をエンカプスラントまたはその一部として代用する。

【0107】(14) IVHにより配線とFCCを接続する。

20 【0108】(15) 低弾性になるように調合した有機材料のラミネート基板を用い、同様に低弾性に調節した接着剤をアンダーフィルとエンカプスラントとして用いる。

【0109】(16) 基板に低誘電層と高誘電層を設け、前者において信号配線を行ない、後者によりデカップリングキャパシタを構成する。

【0110】(17) 基板内部の所定の層に高抵抗の導体を形成し、信号配線の終端抵抗を作り込む。

【0111】(18) チップ配線より抵抗や容量が小さい基板配線によってパッド同士を相互接続し、イントラチップハイウェイすなわちチップ内部ための高速長距離配線を基板側に設ける。

30 【0112】(19) 幾つかのチップパッドを同じ基板配線へ接続し、端子のサイズとピッチをパッドより大きくする。

【0113】(20) チップ表面に幾つかの群れを成して偏在するパッドから、基板配線を介して規則正しいエリブアレイ状の端子へ配線する。

【0114】(21) 端子として、ボールグリッドアレイ(BGA)、カラムグリッドアレイ(CGA)、マイクロピングリッドアレイ(MPGA)、またはランドグリッドアレイ(LGA)を用いる。

40 【0115】(22) 端子ピッチを $0.3 \sim 1.0 \text{ mm}$ (0.1 mm 刻み)または $1.0 \sim 4.0 \text{ mil}$ (10 mil 刻み)、配列形状を正方格子または面心格子のグリッドアレイと定める。

【0116】(23) パッケージ形状を $3 \sim 25 \text{ mm}$ 角(1 mm 刻み)の正方形、または3、4、5、6、7、8、9、10、11×7、9、12、14、16、18、21、23、 25 mm^2 (記述順の組合せで $\pm 1 \text{ mm}$ の範囲)の長方形と定める。

50 【0117】(24) エンカプスラントで覆われていないチップの背面に、チップを冷却するためのヒートスプレッド

レッダ、ヒート シンク、またはフィンを取り付ける。

【0118】(25) アンダーフィル接着剤によりチップを基板へフリップ チップ ダイアタッチ (Flip Chip Die Attach: FCDA) で貼り付け、チップ パッドから直下にアンダーフィルを貫通するダイレクト スルー ホール (Direct Through Hole: DTH) から成る FCC によりパッドと配線を接続する。

【0119】(26) チップ パッド、または基板の配線や VH/TH にパンプを形成して FCC を行ない、アンダーフィル接着剤によりパンプを補強する。

【0120】(27) 誘電体と導体層から成る配線基板にチップを FCDA によって取付け、チップ パッドと導体層と端子をダイレクト ヴァイア ホール (Direct Via Hole: DVH) により接続し、エンカプスラントにより被覆する。

【0121】(28) 複数のチップの合計サイズに相当する基板を用い、マルチチップの LCSP を構成したものである。

【0122】(29) ラミネート基板の仕様を、信号層数 2 以上、信号層の誘電率 4 以下、ライン ピッチ 0.2 mm 以下、ヴァイア/スルー ホール径 0.3 mm 以下、熱膨張係数 1.5 以下とする。

【0123】(30) 配線基板として、フィルム積層型ラミネート基板、ビルドアップ型ラミネート基板、または転写型ラミネート基板を用いる。

【0124】(31) 基板の誘電層、アンダーフィル、エンカプスラントの材料として、エポキシ系樹脂、ポリイミド系樹脂、マレイミド系樹脂、ビスマレイミド系樹脂、フッ素系樹脂、ウレタン系樹脂、シリコン系樹脂、フェノール系樹脂、ビフェニール系樹脂、またはこれらのブレンド、またはこれらにガラス/シリカ/アラミドの繊維やシリカ/セラミック/エラストマ/ポリマのフィラ等を添加した複合材を用いる。

【0125】(32) 配線や VH/TH、または基板のベースの材料として、銅、金、アルミ、インバ、モリブデン、ニッケル、クロム、チタン、タングステン、またはこれらの金属との合金や複合金属材を用いる。

【0126】(33) FCC や端子の材料として、金、銀、銅、アルミ、ニッケル、半田、またはこれらの金属との合金や複合金属材、またはこれらをコアや外殻やフィラとするポリマとの複合材を用いる。

【0127】(34) 端子自体か、または開口位置にある配線や VH/TH に、半田に対するバリア メタル層を形成する。

【0128】(35) 先ず配線と VH/TH が予め形成された基板を用意し、これに接着フィルム (アンダーフィル) を貼り付け、次にフィルム付き基板に穴 (DTH) を加工し、チップの FCDA を行ない、最後に穴へ導体を形成し、DTH すなわち FCC によりチップ パッド

と配線を接続する。

【0129】(36) 先ずパンプ (FCC) をパッド、または基板に予め形成された配線または VH/TH に形成し、次にチップを基板に裏返して搭載し、配線または VH/TH にパンプすなわち FCC を接続し、最後にチップと基板の間隙と基板表面とに接着剤 (アンダーフィル、エンカプスラント) を供給する。

【0130】(37) 先ず保護フィルム (エンカプスラント) に開口を加工し、次に基板にフィルムを接着し、最後に開口部の配線または VH/TH に端子を形成する。

【0131】(38) 先ず基板下面に接着剤 (エンカプスラント) を供給し、同時にまたはその後開口を加工し、開口部の配線または VH/TH に端子を形成する。或いは、先ず配線または VH/TH に端子を形成し、その後基板下面にエンカプスラントを供給する。

【0132】(39) 配線、VH/TH、FCC、または端子をアディティブ法に基づく選択めっきにより形成する。

【0133】(40) LCSP よりサイズが大きく、LCSP の端子ピッチより配線ピッチが狭いインターコネクション (配線や VH/TH) が形成された二次配線基板を用意し、これに LCSP を接続する。

【0134】(41) 二次基板に基板ベースとアドヴァンスト配線層を設け、前者に LCSP を接続し、後者は前者より広い配線ピッチでルーティングを行なう。

【0135】(42) 二次基板に LCSP と別個のパッケージを近接して実装した上、低誘電率層のインターコネクションにより相互接続する。

【0136】(43) LCSP 基板と二次基板の両方に高誘電層から成るデカップリング キャパシタを設ける。

【0137】(44) 上記第 7 の手段と同様に、FCC に対する端子直径の比率を γ 、チップの熱膨張係数を α_0 、LCSP 基板を α_1 、二次基板を α_2 として、 $(\gamma\alpha_0 + \alpha_2)/(\gamma + 1) \leq \alpha_1 \leq (\gamma\alpha_0 + 7\alpha_2)/(\gamma + 7)$ を満たす LCSP 基板材料を使用する。

【0138】(45) LCSP 基板と二次基板に同じ素材を用いる。

【0139】(46) 二次基板として、ラミネート基板、デポジット/ラミネート基板、セラミック基板、ラミネート/セラミック基板、デポジット/セラミック基板、ラミネート/シリコン基板、またはデポジット/シリコン基板を用いる。

【0140】(47) LCSP 端子の構成材料よりも低融点の半田ジョイントにより、LCSP を二次基板に接続する。

【0141】(48) 二次基板にスプリング コンタクトまたは導電性エラストマから成るエリア アレイ ソケットを設け、このソケットに LCSP を差し込んで検査する。

【0142】(49) LCSP と別個のパッケージとを冷

却するため、これらの背面に共通のヒート スプレッド、ヒート シンク、またはフィンを搭載する。

【0143】(50) プロセッサ チップを搭載したLCSPとメモリ パッケージを二次基板に密に実装し、相互接続する。

【0144】(51) メモリ チップを実装した複数のLCSPを二次基板に互いに密に実装する。

【0145】

【作用】上記手段(1)によれば、小型のラミネート配線基板によりチップ サイズとほぼ同等のLCSPのサイズが得られる。インタポーザとして配線基板を用いることにより、配線をチップに直接蒸着するMCSPのようにチップ コストが過大になることはない。

【0146】ラミネート基板は、その有機材料と製造方法により、CCSPのセラミック基板のように誘電率や配線抵抗が高くならず、ライン ピッチが広くならず、しかも基板コストがかからない。TCSPのテープのように信号層数が単層に限られておらず、TCSPやMCSPのように終端抵抗やデカップリング キャパクタの作り込みが困難を極めることはない。

【0147】チップ接続は、FCCにより一括して十分な密度を以て実施できる。TCSPのTABテープのようにシングル ポイント ボンディングにより製造スループットが下がることがない。FCCのレイアウトは、TCSPのようにチップ上の周辺に限られておらず、外部端子までのパッケージ内部配線長が長くなって伝播デレイが増大し、高周波ノイズの影響を受けることがない。

【0148】アンダーフィルは、チップと基板間の熱膨張差によりFCCに加わる応力を分散し、チップ表面を封止する。FCCを微細化しても熱応力が過大になることはない。配線やVH/THは適切に配置されることにより、端子からFCCやVH/TH等へ直列に印加する応力を緩和し、吸湿の進行を阻む。無配線に配置した場合のようにクラックや剝離を生じ、不良要因になることがない。

【0149】外部端子のサイズやピッチは、ラミネート基板材料の熱膨張係数や弾性を他の物性も勘案しつつ調節することにより、CCSPやMCSPのようにPWBとの間の熱膨張差によって制約されることがない。無配線なラミネート材料を用いる場合のようにFCCと端子の熱疲労寿命のバランスが崩れることがなく、歪みが断線や吸湿を誘起することがない。

【0150】エンカプスラントは基板表面を損傷や湿度から防護する。無配線に基板を素のままを用いる場合のように、VH/THや配線等の接合界面から水分が浸入することがなく、耐湿性を損なうことがない。

【0151】上記手段(2)によれば、端子の中心位置をVH/THまたはFCCの中心位置に一致させないことにより、端子近傍からチップ表面の方向へ直通する応

力伝達経路や水分浸入経路がなくなる。

【0152】上記手段(3)によれば、インターコネクションを最短距離より長くすることにより、FCC、VH/TH、端子等をつなぐ経路が迂回する。

【0153】上記手段(4)によれば、VH/THを導体や誘電体で充填することにより、中空のVH/THに比べて強度が増し、内部が外気に晒されることがなくなり、VH/THの直上または直下で配線が行なわれる。

【0154】上記手段(5)によれば、FCCまたは端子に導電性とともコンプライアンスを付与することにより、応力や外力は弾性変形により吸収され、検査時の接触が安定する。

【0155】上記手段(6)によれば、FCCとアンダーフィルを熱膨張的に同質にすることにより、チップと基板の表面全体に熱応力が分散し、FCCに集中することがない。

【0156】上記手段(7)によれば、基板の熱膨張係数を所定の値に設定することにより、アンダーフィルで補強されたFCCと端子の両者の熱疲労寿命がほぼ均衡する。

【0157】上記手段(8)によれば、基板厚さを薄くすることにより、導体めっきされるVH/THのサイズが端子の直径より小さくなる。

【0158】上記手段(9)によれば、THを被覆することにより、THと基板の接合界面やTHの内部がLCSPの表面から隠される。

【0159】上記手段(10)によれば、VHをスタックすることにより、THの内部が導体で埋まり、スタグガード、スパイラル、または階段状に配列したVHのように配線密度が下がらない。

【0160】上記手段(11)によれば、配線を基板に内在することにより、配線と誘電層の接合界面が基板側面に現れない。

【0161】上記手段(12)によれば、LCSP側面をエンカプスラントで覆うことにより、チップとアンダーフィル間やアンダーフィルと基板間の接合界面が外気に露出しない。

【0162】上記手段(13)によれば、THより小径のIVHによって端子と配線が接続され、基板表面はIVHを形成した誘電層により被覆される。

【0163】上記手段(14)によれば、IVHによりFCCと配線がファイン ピッチで接続され、アンダーフィルと基板の間にはIVHの誘電層が横たわる。

【0164】上記手段(15)によれば、基板、アンダーフィル、またはエンカプスラントの弾性変形により、チップと基板間や基板とPWB間の熱膨張差が吸収され、端子に加わる外力が殺がれる。

【0165】上記手段(16)によれば、信号は低誘電層を伝送され、パワー/グランド プレーンに挟まれた高誘電層が蓄える電荷により電源電圧の揺動が抑制され

る。

【0166】上記手段 (17) によれば、高抵抗配線層に設ける終端抵抗により、チップが入出力する信号が送端または受端において整合される。

【0167】上記手段 (18) によれば、端子には接続されない低負荷のイントラチップ ハイウェイにより、チップ内部の回路同士が相互接続される。

【0168】上記手段 (19) によれば、パワー／グラウンド等を用いる複数の FCC を共通の端子に接続することによって、端子よりも FCC の数を増やせる。

【0169】上記手段 (20) によれば、配置自由度の大きい FCC により、チップの機能ユニット毎の極めて近傍に偏在したパッドへ信号や電源を接続できる。

【0170】上記手段 (21) によれば、二次元に配列された BGA、CGA、MPGA、または LGA により外部端子が取り出される。

【0171】上記手段 (22) によれば、正方格子や面心格子状に所定のピッチで規則正しく並んだ端子により、LCSP が PWB に実装される。

【0172】上記手段 (23) によれば、所定のサイズの正方形や長方形を以て規格化された LCSP が取り扱われる。

【0173】上記手段 (24) によれば、ヒート スプレッド、ヒート シンク、またはフィンにより、チップの回路面から背面の方向へ放熱される。

【0174】上記手段 (25) によれば、チップ パッドから直にアンダーフィルを貫通し、基板の一部でもある DTH により、チップと基板配線が短い距離で接続され、基板には FCC 用のバンパやパッドを設ける必要がない。

【0175】上記手段 (26) によれば、アンダーフィルで補強されたバンパにより、チップと基板の FCC が行なわれる。

【0176】上記手段 (27) によれば、誘電体層がアンダーフィルを兼ね、DVH が FCC を兼ねるので、部品点数が減り、パッケージ構造がさらに簡略化される。

【0177】上記手段 (28) によれば、複数のチップを基板に敷き詰めて実装することにより、マルチチップ LCSP が構成される。

【0178】上記手段 (29) によれば、所定の仕様の基板を用いることにより、多ピン化に必要な配線キャパシティが得られ、低熱応力化が実施される。

【0179】上記手段 (30) によれば、アドヴァンスト基板に狭ピッチの配線と小径の VH/TH を形成することによって、FCC や端子の数への制約が緩和される。

【0180】上記手段 (31) によれば、合成樹脂や混合材、他材料との複合材を用いることにより、所望の誘電率や熱膨張係数等をもつ基板、アンダーフィル、またはエンカプスラントの材料が調合される。

【0181】上記手段 (32) によれば、配線や VH/TH

H、または基板のベースとして、信号配線に多用する銅だけではなく他の金属により、接合材、熱伝導材、低熱膨張材、終端抵抗材として種々の機能が得られる。

【0182】上記手段 (33) によれば、半田や金等の金属、ポリマとの複合材により、電気的接続だけに限らず、耐酸化性、耐熱性、リフロー性、コンプライアンス等が FCC や端子に付与される。

【0183】上記手段 (34) によれば、バリア メタル層によって半田による食われが防止され、脆い金属間化合物の生成が抑えられる。

【0184】上記手段 (35) によれば、基板またはその一部と DTH の加工を FCDA の前に予め行ない、FCDA と同時にアンダーフィルを形成することにより、順次行なうプロセスに比べて工程数が削減される。

【0185】上記手段 (36) によれば、バンパを補強するアンダーフィルと、基板を保護するエンカプスラントとを同時に形成することにより、二度手間を省ける。

【0186】上記手段 (37) によれば、予め端子の開口を形成した保護フィルムを用いることによって、エンカプスラントが接着プロセスにより形成される。

【0187】上記手段 (38) によれば、エンカプスラントの供給と一連するプロセスにより、開口が設けられる。或いは、端子を先に形成することにより、基板表面と共に端子の一部の表面も密封される。

【0188】上記手段 (39) によれば、アディティブ法により必要な個所にだけ導体が形成され、VH/TH の内部は導体で埋められる。

【0189】上記手段 (40) によれば、所定の配線キャパシティをもつ二次基板のインターコネクションにより、多ピン、狭ピッチの LCSP から別個のパッケージや素子、さらに二次基板の外部への相互接続が行なわれる。

【0190】上記手段 (41) によれば、アドヴァンスト配線層により LCSP と別個のパッケージとが広いバンド幅で高速に信号接続され、基板ベースにより給電やさらに外部との信号接続が行なわれる。

【0191】上記手段 (42) によれば、短距離且つ低誘電率のインターコネクションにより、LCSP と別個のパッケージとの間の信号が伝送される。

【0192】上記手段 (43) によれば、二次基板と LCSP のデカップリング キャパシタにより、二次基板から LCSP へ、さらに LCSP からチップへの電源供給が安定する。

【0193】上記手段 (44) によれば、LCSP 基板の熱膨張係数をチップと二次基板の間の所定の範囲に収めることにより、FCC と端子の疲労寿命が概ね同じレベルに並ぶ。

【0194】上記手段 (45) によれば、LCSP 基板と二次基板の熱膨張係数と配線キャパシティが等しいことにより、端子のサイズとピッチがさらに微細化される。

【0195】上記手段(46)によれば、低誘電率化と狭ピッチ配線が可能な二次基板を用いることにより、LCSPと他者との信号転送スループットが高まる。

【0196】上記手段(47)によれば、二次基板へスクリーン印刷した半田を一括リフローすることにより、端子と二次基板を接続する半田ジョイントが形成される。

【0197】上記手段(48)によれば、スプリングまたはエラストマのコンプライアンスにより、端子の高さバラツキが許容され、安定に接触される。

【0198】上記手段(49)によれば、LCSPと別個のパッケージを共通して背面から冷却することにより、それぞれに放熱部品を取り付ける必要がない。

【0199】上記手段(50)によれば、配線長が短く本数が多い二次基板のインターコネクションにより、LCSPのプロセッサとメモリ間のアクセスが行なわれる。

【0200】上記手段(51)によれば、二次基板により、複数のLCSPのメモリを結ぶアドレス/データバスが敷設される。

【0201】

【実施例】以下、本発明の実施例を図面と共に説明する。図1及び図2は第1実施例のチップサイズパッケージ(CSP)の斜視図と縦断面構造図である。

【0202】図1及び図2において、ラミネートベースドチップサイズパッケージ(LCSP)1は、集積回路チップ10、インタポーザのラミネート配線基板20、アンダーフィル40、外部端子50、エンカプスラント60から構成されている。チップ10は、同じサイズを有する基板20へアンダーフィル40によりフリップチップダイアタッチ(FCDA)されている。チップ10の接続パッド12は、ダイレクトスルーホール(DTH)30から成るフリップチップコネクション(FCC)により基板20の導体層21~23へ接続され、これらの層の配線21~23からインターシヤルヴァイアホール(IVH)31と端子パッド32を介して端子50へ相互接続されている。エンカプスラント60は、端子50の位置の開口61とチップ10の背面の開口62を除き、基板20の表面と、基板20とアンダーフィル40及びチップ10の側面を保護している。

【0203】チップ10はシリコン半導体素子から成り、CMOS(Complementary Metal-Oxide-Semiconductor)またはバイポーラトランジスタ等の大規模集積回路11と、アルミニウムの接続パッド12が形成されている。接続パッド12部分以外の回路11の表面は、ポリイミドから成るパッシベーション膜で覆われている。本第1実施例では、チップ10のサイズは19.4mm角、厚さ0.3mmである。

【0204】基板20は、導体層21~24と誘電層25~27から成り、DTH30、IVH31、端子パ

ド32を備えている。サイズはチップ10と実効的に等しい19.6mm角であり、厚さは0.15mmである。

【0205】導体層21~24は銅から成り、標準的な厚さは18 μ mである。層21、22はパワー/グラウンドプレーンであり、層23、24には最密部でライン幅50 μ m、ラインピッチ100 μ mの信号配線が形成されている。信号線の特性インピーダンスは50 Ω 近辺にある。

【0206】誘電層25~27は各々厚さ50 μ mのエポキシ樹脂のラミネートから成り、所望の物性を得るためセラミックまたはシリカ等のフィラーが混入されている。層25、26は低熱膨張の複合材料(誘電率4.4、熱膨張係数7ppm/K)、層27は低誘電率の接着フィルム(誘電率3.7、熱膨張係数26ppm/K)から成る。層27は、接着時に配線23を埋め込み、且つIVH31の加工穴へしみ出さぬように、適正な流動性を有している。なお、層25~27は、後述する端子50とエンカプスラント60の形成のためガラス転移温度を高めたエポキシ樹脂から成り(185℃)、これに伴って吸湿率が低い(0.3%)。

【0207】DTH30とIVH31は、ドリルまたはレーザにより加工した穴へ銅めっきを施すことにより形成されている。これらの穴の側壁と底面に銅が析出する。内部はインナーフィル樹脂により埋め込まれている。なお、接続パッド12との密着とバリアのため、銅めっきの前にDTH30或いはパッド12側へ予めクロム、ニッケル、タングステン、銅、または金等をメタライズする。

【0208】本第1実施例ではDTH30がチップ10のFCCの役目を果たしており、接続パッド12から直にアンダーフィル40と誘電層25、26を貫通し、配線21~23へ達している。直径は100 μ m、最密部ではピッチ250 μ mの面心格子状に配列されている。IVH31は、層27の表裏にある配線23と配線24を接続する非貫通穴であり、直径は50 μ mである。なお、DTH30とIVH31、DTH30と端子50は互いに中心軸をずらして位置しており、直列に配されることはない。

【0209】アンダーフィル40は、誘電層27と同様の厚さ50 μ mのエポキシ接着フィルムから成る。チップ10と基板20を接着してFCDAを行なうとともに、接着後は両者のギャップを埋めている。流動性の調節により、接着時にアンダーフィル40がDTH30の加工穴を潰すことはない。本第1実施例では、アンダーフィル40は基板20の一部と見做すこともできる。

【0210】端子50は二次元的に配列されたボールグリッドアレイ(BGA)である。ピッチ0.6mm、マトリクス30 \times 30を以て合計900ピンを取り出せる。ボールは直径0.38mm、高さ0.3mmの鉛/錫共晶半田(融点183℃)から成る。端子50は、

エンカプスラント60の開口61で端子パッド32へ接続されている。端子パッド32は配線24の一部から成り、直径は0.36mmである。

【0211】エンカプスラント60は黒色のフィラー入りビフェニール硬化型エポキシ樹脂から成る。チップ10と基板20をモールドするため、低熱膨張、低弾性で耐湿性が高く、アルファ線量が少ない材料（ガラス転移温度135℃以下での熱膨張係数14ppm/K、曲げ弾性率17GPa、吸湿率0.1%、線量0.001C/hr/cm²以下）が用いられている。基板20の下面でのモールド厚さは0.1mm、基板20の側面では0.2mm、チップ10の側面では0.4mmである。チップ10の背面の開口62は、放熱のためモールドされていない。LCSP1のサイズは20mm角、モールド部分の高さは0.7mmとなる。

【0212】図3(A)～図3(E)は第1実施例のLCSP1の製造プロセスフロー図である。

【0213】図3(A)のプロセスでは、プローブ検査が終了したウェハをチップ10にダイシングする。

【0214】図3(B)のプロセスでは、先ず、導体層21～23と誘電層25、26から成る大面積のシート基板70（50cm角～1m角、基板20が多数取得できるサイズ）を用意する。導体層21～23には、予め所定の配線パターンをチップ10が搭載されるべき位置へ繰り返し形成しておく。

【0215】次に、接着シート71（アンダーフィル40と成る）を基板70の導体層21の側へ仮接着する。この後、基板70とシート71を貫通する穴80（DTH30と成る）を所定の位置へドリルまたはレーザにより加工する。

【0216】この次に、検査良品のチップ10のFCD Aを行なう。穴80と接続パッド12の位置を合わせてチップ10をシート71の上へ搭載し、加熱と加圧を行なって基板70と本接着する。このとき、チップ10とシート71と基板70は互いに密着するが、穴80は残る。この作業を繰り返して、複数のチップ10を基板70へ順次接着してゆく。

【0217】最後に、DTH30を形成する。予め導体層23の配線パターンへめっきレジストを被せておき、穴80の側壁と底面へ選択的に銅めっきを行なう。穴80のアスペクト比は約1.5であり、支障なくめっきを行なえる。こうして、接続パッド12と導体層21～23の配線とを接続する。DTH30の内部は樹脂によって埋め込む。

【0218】図3(C)のプロセスでは、先ず、導体層24と誘電層27（接着シート）とから成るシート基板72を用意する（サイズは基板70と同じ）。導体層24には所定の配線パターンや端子パッド32が形成されている。この基板72の所定の位置へ穴81（IVH31と成る）をレーザ加工する。

【0219】次に、図3(B)のプロセスで既にDTH30を加工した基板70に対して、基板72を位置合わせして積み重ねる。そして、基板70と基板72を加熱と加圧により誘電層27を介して接着する。こうして、これらは穴81を残して互いに密着する。

【0220】最後に、IVH31を形成する。予め導体層24の配線へめっきレジストを施してから、アスペクト比が約1の上記の穴に選択的に銅めっきを行なう。こうして、導体層23と24の配線同士を接続する。

10 【0221】図3(D)のプロセスでは、先ず、既に複数のチップ10が搭載された基板70と72を、チップ10毎にチップと同じサイズで、ダイシングまたは打ち抜きによって切り出す。こうして、チップ10と基板20の合体品が出来上がる。

【0222】次に、トランスファ モールドによりエンカプスラント60を形成する。上記の合体品を治具等により位置決めして、モールド金型のキャビティへ設置する。エンカプスラント60の材料を金型に注入し、加圧硬化させた後、離型させる。上金型と下金型には突起を設けてあり、成形と同時にチップ10の背面と端子パッド32の位置に開口61、62を加工する。

【0223】図3(E)のプロセスでは、エンカプスラント60の開口61へ、マスク（ふるい）または吸着搬送等の方法により半田ボール90を供給する。この後、半田ボール90をリフロー加熱し、端子パッド32へ接合することにより、端子50を形成する。こうして、第1実施例のLCSP1が完成する。

【0224】本第1実施例のLCSP1によれば、表1に掲げた目標を達成することができる。

30 【0225】LCSP1は、チップ サイズと実効的に等しいサイズにまでパッケージを小型化できる効果がある。パッケージ面積に占めるチップ10の面積比率、すなわち実装効率として94%という非常に高い値が得られる。

【0226】LCSP1では、端子50のピッチを0.6mmへ狭めることができ、端子数900ピン、端子密度225ピン/cm²という多ピン化を達成できる効果がある。基板20、アンダーフィル40、及びエンカプスラント60の熱膨張係数と弾性率を適切に設定することにより、端子50やDTH30に加わる熱応力を軽減し、微細化を実現できる。両者が同等レベルの熱疲労寿命を十分確保するように、一方に偏らせずにバランス良く配分する。熱サイクル試験において、500サイクル以上でも問題が生じていない。

【0227】LCSP1の実効的な熱膨張係数は約9ppm/Kである。従来技術のCCSP（4～7ppm/K）やMCSP（3ppm/K）に比べて実装前のプリント配線基板（PWB、13～18ppm/K）との熱膨張差が少ないので、端子50のサイズとピッチを微細化しても疲労や破断の問題が生じない。

【0228】チップ10と基板20間の熱膨張差によりDTH30に加わる応力は、基板20の層25、26に低熱膨張材を用いることによって低減できる。その上、チップ10と基板20間を埋めたアンダーフィル40と、DTH30の内部を埋めたインナーフィル樹脂によって分散できる。

【0229】端子50やDTH30に加わる熱応力、さらにパッケージ検査時の外力の低減には、端子50とDTH30やIVH31をオフアクシスで配置したこと10の寄与も大きい。端子50から接続パッド12へ到る応力の直列伝達を避けることができるので、クラックや剥がれが誘起されず、熱的及び機械的な信頼性が向上する効果がある。その上、検査を安全に実施できる。

【0230】ラミネート基板20は、端子50の狭ピッチ、多ピン化に対応した十分な配線キャパシティを具備できる。基板20の仕様は、先に課題の章で述べた目標を達成している。LCSP1はラインピッチ0.1mmの信号層23、24を備えており、直径0.1mmのDTH30と直径0.05mmのIVH31を介して900ピンの端子50と接続パッド12の間を相互接続する。

【0231】ラミネート基板20は、CCSPのセラミック基板（ラインピッチ0.2～0.4mm）に比べて配線パターンを難なく微細化できる。従来のTCSPのTABテープ（ラインピッチ0.05～0.1mm）のように接続パッドのレイアウトがチップ周辺に限定されていないので、ルーティングが容易であり、極端にピッチを狭める必要はない。簡易なプロセスにより配線形成を行なえる。

【0232】基板20の多層化、及びDTH30とIVH31の形成は、PWBの製造で一般的に行なわれている簡便なプロセスと同様にして実施できる。チップ10とは別途に予め配線パターンと穴を形成した基板70、71を積み重ねて接着し、めっきすれば良く、低コストである。基板20の厚さを考慮して、DTH30やIVH31のアスペクト比は2倍以下に抑えてあり、ファイナパターン10のめっきが良好に行なえる。このプロセスは、蒸着やフォトリソグラフィをウェハプロセスで行なうMCSPに比べて、チップコストを削減できる効果がある。エポキシ樹脂から成る基板70、71は、CCSPのセラミック基板やTCSPのポリイミドに比べて元来材料費が安い。しかも、セラミック基板よりシート10の大型化が可能であり、生産性が向上する。

【0233】DTH30から成るFCCは、チップ10に対して十分なチップ接続を行なえる効果がある。チップ10の全面から0.25mm面心ピッチでDTH30を取り出すことができ、接続密度に換算すると3200パッド/cm²が可能である。信号層23、24への接続の他、パワー／グラウンドプレーン21、22へ多数の接続を行なうことができる。チップ周辺で接続するT

CSPのようにチップ接続数によって端子数が制限されず、パッケージの内部配線長が長くない。LCSP1の内部配線長は従来のCCSPと同程度に短くできる。その上、CCSP基板（誘電率5～10、タングステン／モリブデン）より基板20（誘電率～4、銅）の方が誘電率と抵抗が低いので、伝播ディレイがさらに短縮される効果がある。また、内部配線長が短いことにより同時切替ノイズや干渉ノイズの影響を受け難い。これに加えて、LCSP1は層21、22にパワー／グラウンドプレーンを備えているので、インダクタンスが低減され、ノイズを抑制できる効果がある。

【0234】DTH30と接続パッド12の接続は、めっきプロセスにより一括して行なえる。TCSPのようなシングルポイントボンディングに比べて製造スルーブットが高く、生産装置が安いので、低コスト化できる効果がある。

【0235】アンダーフィル40は、DTH30を補強すると同時に、チップ10と基板20のギャップを充填して封止する。さらに、エンカプスラント60には特に吸湿率の少ない材料を用いてチップ10と基板20を封止するので、耐湿信頼性が向上する効果がある。パッケージ評価において慣用的なブレッシャックカー試験及び高温高湿試験を実施しても不良は発生していない。モールドパッケージにおいてしばしば問題となるリフロークラックは、パッケージサイズが小さいことにより問題にならない。

【0236】外気からの吸湿は、チップ10とアンダーフィル60と基板20相互の接合界面を封止し、基板20の側面に配線21～23を露出させず、DTH30を層27で塞ぎ、配線24及びIVH31の表面をエンカプスラント60で覆うことによって阻止できる。また、DTH30とIVH31のサイズは端子パッド32より小さくしてあり、吸湿が生じ難い。さらに、上述したように端子50とDTH30とIVH31の配置を互いにシフトすることにより、端子パッド32から接続パッド12までの相互接続経路が、基板20とアンダーフィル40の厚さよりも冗長になる。すなわち、水分が端子パッド32の周囲からIVH31とDTH30の導体界面を経て浸入する経路を迂回させることができる。

【0237】なお、エンカプスラント60は、封止と共にチップ10と基板20を損傷から防護するので、製品出荷やPWB実装における取り扱いを安全且つ容易にする効果がある。

【0238】放熱に関して、第1実施例では、チップ10の背面の開ロ62から非常に低い熱抵抗で冷却できる効果がある。チップ10の回路面11から背面までの熱抵抗は0.005℃/Wであり、殆ど無視できる。背面には熱伝導グリース、熱伝導接着剤等により、ヒートスプレッド、ヒートシンク、フィン、パルチェ素子等を取り付ける。例えばフィンとグリースを用いて強制空

冷を行なう場合の熱抵抗は、フィンが $5^{\circ}\text{C}/\text{W}$ 以下、グリースが $0.5^{\circ}\text{C}/\text{W}$ 以下に低減できる。したがって、チップ10の発熱量が10W以上であっても放熱が可能である。

【0239】以上説明してきたように、第1実施例のLCSP1は、多ピン、小型、且つ高速であることから、特にマイクロプロセッサ(MPU)、デジタルシグナルプロセッサ(DSP)、ゲートアレイ、ASIC(Application Specific Integration Circuit)等のパッケージとして好適である。次に、本発明に基づく派生的な幾つかの構成について述べる。

【0240】第1実施例のパッケージサイズは20mm角であったが、これはチップのサイズに応じて変更できる。但し、PWB設計の自動化や、運搬、実装時の取り扱いを考慮すると、或る程度は標準化されるべきである。ここでは、MPU、DSP、ゲートアレイ、ASIC等のチップを想定した3~25mm角(1mm刻み)の正方形と、ダイナミックランダムアクセスメモリ(DRAM)やスタティックランダムアクセスメモリ(SRAM)等のチップを想定した $(3 \pm 1) \times (7 \pm 1) \sim (11 \pm 1) \times (25 \pm 1) \text{mm}^2$ (1mm刻み)の長方形とを、LCSPに適したサイズとして認める。但し、本発明の適用がこのサイズにのみ限定されるわけではない。

【0241】第1実施例の端子ピッチは0.6mmであるが、チップのサイズと端子数に応じて選択できる。例えば、チップサイズが小さいか、LCSPの実装先がPWBより低熱膨張のセラミック基板等である場合は、端子ピッチを狭めることが容易である。但し、パッケージサイズと同様の理由により取り扱い易いピッチとして、0.3~1.0mm(0.1mm刻み)と10~40mil(10mil刻み)の正方格子または面心格子をLCSPの端子ピッチとして設定する。

【0242】端子の種類は、第1実施例に用いたBGAに限らず、カラムグリッドアレイ(CGA)や、マイクロピングリッドアレイ(MPGA)、ランドグリッドアレイ(LGA)等を適用できる。但し、PWBへの自動マウント、一括リフロー半田付け、検査ソケット等を配慮して決める必要がある。特に、CGAやMPGAでは基板との接合が高融点の半田やろう材に成るので、ラミネート基板のガラス転移温度や耐熱性に十分配慮して用いる必要がある。

【0243】端子の構造は、第1実施例では共晶半田のボールであるが、他の構造のボールやパンプも採用できる。例えば、半田めっきパンプ、錫/銀半田ボール、金/ニッケルめっきパンプ、金スタッドパンプ、銅めっきパンプ等が候補である。プロセスとの整合性やコスト、高さのばらつき、検査ソケットとの接触抵抗、PWBからのリペア等に配慮して最適な方法を選択する。

【0244】端子をかなり狭ピッチ化する必要があるか、使用環境が厳しい場合、またはバーニン試験などでの検査性を向上する必要がある場合等には、端子や基板にコンプライアンスを持たせることが可能である。例えば、低弾性樹脂のパンプをコアとして、この表面に金等のオーヴァーコートが被覆することにより、応力を吸収する端子が得られる。また、LCSPの基板、アンダーフィル、及びエンカプスラントに低弾性材料を用いることにより、これらの部分が弾性変形するので、端子に加わる応力が減殺される。但し、適切な低応力化には弾性率と共に熱膨張係数も重要であり、誘電率、吸湿率、ガラス転移温度等との兼ね合いにも配慮すべきである。

【0245】基板の種類として、第1実施例では予め配線を形成したフィルム(シート)を接着積層するフィルム積層基板を用いている。配線キャパシティを必要とする場合、この基板に限るわけではなく、他のアドヴァンスト型基板も採用可能である。例えば、感光性エポキシ樹脂等の塗布と銅めっきにより形成するビルドアップ型基板、別途金属板に形成した配線層をコア基板に転写する転写型基板等がある。何れもライン幅 $50\mu\text{m}$ 程度のパターンニングが可能であるので、プロセス上の取り扱いやコストを考慮して選択する。

【0246】基板の誘電材料は、第1実施例では典型的なエポキシ樹脂を用いている。理由は、廉価であり入手し易く、比較的種々の特性のバランスが良いからである。しかし、より高い性能を求める場合には他の材料を用いることができる。例えば、誘電率や誘電正接の低減やガラス転移温度の向上のため、ビスマレイミドトリアジン樹脂、マレイミドスチリル樹脂、ポリイミド樹脂、フッ化ポリマ等を用いる。低熱膨張化のためには、基材へガラス、シリカ、アラミド等の繊維や、シリカ、セラミック、エラストマ、ポリマ等のフィラーを混入する方法を行なう。この他にセラミックや、銅/インパ/銅または銅/モリブデン/銅等のリジッドベースを用いる方法もある。低ノイズ化のためデカップリングキャパシタが必要な場合には、パワー/グラウンドプレーンの間に高誘電層を設ける。例えば、誘電率10程度のセラミックフィラー入りエポキシ樹脂や、チタン酸バリウムを焼結または窒化シリコンを堆積したリジッドベース等を利用する。

【0247】基板の配線やヴァイア/スルーホール(VH/TH)の導体材料には、通常、銅を多用するが、所望の機能によって異なる材料を用いる。例えば、信号線の反射ノイズを低減するために終端抵抗を設ける場合には、高抵抗のニッケル合金フィルムを他の誘電層と共に積み重ねるか、抵抗ペーストをスクリーン印刷する等の方法を実施できる。配線やVH/THにつながる端子やチップのパッドには、FCCや端子に対するバリメタルとして、または半田付け性や接合強度を高めたり、パッケージのリペアを可能にするため、クロム、

チタン、ニッケル、タングステン、銅、金等をメタライズする場合がある。

【0248】配線は、第1実施例では予め基板の銅箔をエッチングすることにより形成しているが、プロセスに応じてめっきによって形成する場合もある。VH/THは、第1実施例ではアディティブ法によって穴の側面と底面に選択的に銅めっきを行なっている。めっき方法として、凹パターンや穴を導体で充填する方法（例えばコラムVH、スタックトVH）や、パネルめっきを行なった後にパターンニングを行なうサブトラクティブ法を採り得る。一般的にアディティブ法の方がサブトラクティブ法よりアスペクト比の高い加工が行なえるので、配線キャパシティを稼げるが、めっき液のコントロールはやや難しくなる。

【0249】配線の構成としては、第1実施例のような信号層とパワー/グランドプレーンの配置の他、マイクロストリップ、ストリップライン、オフセットストリップライン等を取り得る。VH/THの構成として、第1実施例では、DTH30とIVH31を用いている。層間接続は、基板の仕様に応じてブラインドヴァ

20 イア、埋め込むヴァイア、スルーヴァイア、通例のめっきスルーホール等を使い分けることができる。

【0250】FCCは、第1実施例では銅めっきされたDTH30から成るが、パンパ構造とすることも勿論可能である。端子に用いるボールやパンパと同様に、共晶半田、高融点半田、金、銅、導電性接着剤等の材料から選定できる。形成方法にも、めっき、蒸着、ワイヤパンピング、転写等の様々な選択肢がある。上述したコンプライアント構造のパンパも適用し得る。但し、当然のことながら、チップや基板との相性、導通抵抗、耐熱

30 性、コスト等を考慮せねばならない。

【0251】アンダーフィルは、第1実施例ではFCC（DTH30）を接続する前に供給している。基板20と同じ材料のエポキシ接着フィルムから成り、基板20の一部と見做して良い。しかし、FCCがパンパの場合には、FCCを接続した後でアンダーフィルをチップと基板の間に充填する必要があり、特に低粘度（＜20Kcps）であることが重要になる。充填は毛细管現象を利用して行なわれるため、粘度が高いと作業時間がかかる。粘度の他は、低熱膨張係数（＜40ppm/K）、

40 接着性、耐湿性、低アルファ線量（＜0.005C/h_r/cm²）、低塩素イオン（＜10ppm）、高ガラス転移温度（＞130℃）等の特性が求められる。

【0252】アンダーフィルの基材としては、フェノール硬化型やビフェニール硬化型等のエポキシ系樹脂が代表的であり、この基材へセラミックやシリカ等の低熱膨張材のフィラーを混入した複合材を用いる。この他、良く知られている封止材料としては、シリコーン系樹脂、ウレタン系樹脂等や、エポキシ樹脂ベースの中に可撓化剤のシリコーン粒子等を分散させた海島構造の樹脂があ

り、これらの中から適切な材料を選ぶ。

【0253】エンカプスラントは、第1実施例ではフィラー入りビフェニール硬化型エポキシ樹脂から成り、トランスファーモールドを行なったが、他の材料や形成方法を用いることが可能である。エンカプスラントの材料はアンダーフィルとほぼ類似しているが、特に低熱膨張係数且つ低弾性率で耐湿性が高いことが望ましい。

【0254】エンカプスラントの形成は、必要な信頼性や所有する装置に応じて、トランスファーモールドに加えて、塗布、印刷、ポッティング、接着等、種々の方法により実施することができる。例えば、従来技術のMCSPのようなインナーパンパまたはLGAを形成した後

にトランスファーモールドを行なう方法、予め開口を加工した保護フィルムを基板20の上に融着する方法、エンカプスラントを被せた後にレーザ加工や露光により開口を加工する方法、開口と成る部分を除けてスクリーン印刷する方法、端子を形成した後に端子以外の部分を樹脂槽に浸漬する方法、アンダーフィルと同時にオーバーコートする方法等を取り得る。また、耐湿性に対する要求があまり厳しくない場合には、IVHを形成した誘電層をエンカプスラントとして代用することができる。

【0255】エンカプスラントとして、第1実施例ではチップ10の背面まで覆っている。これは、耐湿性の向上に加えて、モールド部分の剥離を抑える効果もある。基板表面と共にどこまで被覆するかは、エンカプスラントの形成方法と耐湿性の仕様に対応して配慮すべきである。

【0256】この他、製造プロセスに関して、第1実施例ではウエハからチップ10を切り出した後、検査良品のチップ10を大面積のシート基板70に並べてゆく。チップの歩留まりが比較的高いか、チップサイズが小さいような場合には、ウエハに配線フィルム（ウエハ面積と同程度）を接着してVH/TH等を形成し、その後

30 にフィルム付きチップを切り出すプロセスの方が簡便である。

【0257】ここまで述べたように、本発明は、パッケージの狙いに応じて様々な構成を取り得る故、広範な適用が可能である。その中から幾つかの実施例について、次に説明する。

40 【0258】図4は、本発明の第2実施例のCSPの縦断面構造図である。図4において、LCSP100は、集積回路チップ110、ラミネート配線基板120、外部端子160、アンダーフィル170、エンカプスラント180から構成されている。チップ110は、同じエリアサイズの基板120へパンパ（FCC）150によりフリップチップ接続されている。チップ110の接続パッド111は、パンパ150により基板120の接続パッド140へ接続され、パッド140から導体層121～126の配線とインターフェイシャルヴァイ

50 アホール（IVH）141、142、バリッドヴァ

イア ホール (BVH) 143、144、またはスルー
ヴァイア ホール (TVH) 145を介して、端子1
60へ相互接続されている。アンダーフィル170はチ
ップ110と基板120の間に充填されている。エンカ
プスラント180は、端子160における開口部を除
き、基板120の表面と側面、アンダーフィル170と
チップ110の側面を保護している。

【0259】チップ110は、シリコン大規模集積回路
素子から成る。エリア サイズは18.4mm角、厚さ
は0.3mmである。パンプ150との接続パッド11
1は直径50 μ mである。ベース メタル層として金/
ニッケル/タングステンがメタライズされている。

【0260】基板120は、導体層121~126、誘
電層131~135から成るビルドアップ型ラミネート
配線基板から成る。内側の導体層122~125と誘電
層132~134がラミネート ベース、外側の残りの
層が追加積層部分である。ベースはBVH143、14
4とTVH145、追加積層部分はパンプ150の接続
パッド140とIVH141と142を備えている。基
板120全体のサイズはチップと同じであり、厚さは

0.35mmである。
【0261】基板120のベース部分は銅クラッド ラ
ミネートから成る。ベース導体層122と125は主に
信号配線を担っている。厚さは18 μ m、幅80 μ m、
ピッチ160 μ mである。ベース導体層123と124
は、厚さ18 μ mのパワー/グラウンド プレーンであ
る。ベース誘電層132~134は低熱膨張フィラー入
りマレイミドノスチル樹脂 (誘電率3.7、熱膨張係
数8ppm/K、ガラス転移温度>300 $^{\circ}$ C) から成
り、各層の厚さは100 μ mである。

【0262】ベース部分に形成されたBVH143、1
44は導体層122と123、または層124と125
を接続し、TVH145は誘電層132~134を貫通
して導体層122と125を接続している。両者の直径
は100 μ mであり、めっき銅の側壁の内部はインナー
フィル樹脂により充填されている。

【0263】追加積層部分の導体層121と126は、
パンプ150や端子160との接続及び信号配線を担っ
ている。信号配線は厚さ5 μ mのめっき銅から成り、最
密部のライン幅は20 μ m、ライン ピッチは40 μ m
である。層121の接続パッド140は、接続パッド1
11に対応した位置に形成されており、直径50 μ mで
ある。周囲には半田レジストがコーティングされてい
る。追加誘電層131と135はポリイミド接着フィル
ム (誘電率3.5、熱膨張係数13ppm/K、ガラス
転移温度>300 $^{\circ}$ C) から成り、導体層121または1
26を含めたそれぞれの厚さは25 μ mである。

【0264】追加積層部分に形成されたIVH141、
142は、それぞれ、導体層121と122、層125
と126を接続している。直径は30 μ mであり、内部

はめっき銅により埋まっている。接続パッド141をI
VH141の上に、端子160をIVH142の上に配
することが可能である (パッド オン ホール)。IV
H141、142とBVH143、144、TVH14
5との配置は互いにシフトしており、直列には並んでい
ない。

【0265】FCCパンプ150は、蒸着またはめっき
による錫/銀共晶半田 (融点221 $^{\circ}$ C、熱膨張係数約3
0ppm/K) から成る。チップ110のパッド111
と基板120のパッド140を接続している。樽形状の
最大直径は約60 μ mであり、最密部ではピッチ100
 μ mで配列されている。

【0266】端子160は導体層126上の銅めっきイ
ンナー パンプから成り、側面はエンカプスラント18
0により封止されている。直径は0.3mm、高さは0.
2mmである。二次元マトリクス34 \times 34、ピッチ
0.5mmのランド グリッドアレイ (LGA) を構成
しており、総端子数は1156ピンである。

【0267】アンダーフィル170とエンカプスラント
180は同じフィラー入りエポキシ樹脂材料 (黒色、粘
度19Kcps、熱膨張係数24ppm/K、曲げ弾性
率8GPa、ガラス転移温度140 $^{\circ}$ C、吸湿率<0.1
%) から成る。アンダーフィル170はチップ110と
基板120の間のギャップを充填し、エンカプスラント
180は基板120の表面と側面及びチップ110の側
面を封止している。チップ110の背面は第1実施例と
同様に放熱部品を取り付けるために被覆されていない。
アンダーフィル170の厚さは50 μ m、エンカプスラ
ント180の基板120の表面での厚さは0.2mm
(端子160と同じ)、側面での最大厚さは片側0.3
mmである。これによりLCSP100のサイズは19
mm角、高さ0.9mmとなる。

【0268】第2実施例のLCSP100の製造は、以
下に述べるプロセスにより行なう。

【0269】先ず、ウエハの状態ではチップ110に接続
パッド111を予め形成し、この上にパンプ150を蒸
着またはめっきによって形成する。それから、ウエハの
プローブ検査を行ない、ダイシングした後、良品を選別
する。

【0270】基板120は、先ずベース部分を作成す
る。通常のプロット配線基板 (PWB) と同様のプロセ
スに従って、BVH143を形成した銅箔層122と内
層配線層123及び誘電層132と、同じくBVH14
4を形成した内層配線層124と銅箔層125及び誘電
層134とを、プリプレグである誘電層123によって
接着し、これらを通するTVH145をドリル加工し
てパネル銅めっきを行ない、銅箔層122と125に外
層配線をパターンニングし、TVH145とBVH14
3、144を樹脂により穴埋めする。

【0271】基板120の追加積層部分は、ポリイミド

接着フィルムである誘電層131と135へそれぞれ1
VH141、142をレーザ加工し、誘電層131と1
35をベース部分の両面に加熱と加圧により接着し、1
VH141、142の内部を銅めっきによって埋め込
み、誘電層131と135の表面にパネル銅めっきを行
ない、銅めっき面に配線層121と126をパターン
ングし、配線層126の上に銅めっきにより端子160を
形成し、接続パッド140を除いて配線層121の表面
に半田レジストを形成する。こうして完成した大型基板
(50cm×1m角)をチップ110と同じサイズに切
り出し、基板120が完成する。

【0272】次に、良品のチップ110を個片基板12
0にフリップチップ接続する。加熱してバンパ150
を一括リフローすることにより、パッド111と140
が接続される。

【0273】最後に、アンダーフィル170とエンカプ
スラント180を形成する。チップ110の背面を治具
に取付け、アンダーフィル170とエンカプスラント1
80の材料から成る樹脂槽にポッティングする。チップ
110と基板120の透き間には毛細管現象によって樹
脂が充填される。チップ110の側面と、基板120の
側面及び表面、端子160の表面は所定の厚さの樹脂で
覆われる。樹脂が硬化した後、基板120の表面側を端
子160が露出するまで研磨する。これにより、端子1
60とエンカプスラント180の高さが揃う。こうし
て、LCSP100が完成する。

【0274】本第2実施例のLCSP100によれば、
第1実施例と同様に目標仕様を達成できる。

【0275】LCSP100は、チップを高密度にパッ
ケージングできる効果がある。第1実施例と同じく94
%という高い実装効率が得られている。しかも、LCS
P100では、端子ピッチを第1実施例の0.6mmか
らさらに0.5mmへ狭めることができる。端子数は、
第1実施例に比べてパッケージサイズが一回り小さい
にも関わらず、さらに1000ピンを超える多ピン化を
実現できる効果がある。

【0276】端子160の狭ピッチ化は特に基板120
の熱応力を低減した効果による処が大きい。手段の章で
既に述べたように、基板120の熱膨張係数 $\alpha \sim 9$ が、
バンパ150に対する端子160のサイズの比率を $\gamma =$
6として、 $3(\gamma + 5)/(\gamma + 1) = 4.7 \leq \alpha \leq 3(\gamma +$
 $3.5)/(\gamma + 7) = 9.5$ を満たしている。これにより、
LCSP100をPWBへリフロー半田付けした場合
に、アンダーフィル170で補強されたバンパ150と
端子160の半田付け部とは両方共に十分な熱疲労寿命
を保證できる。LCSP100全体の実効的な熱膨張係
数は ~ 11 であり、第1実施例よりさらにPWBに近付
いているので、端子160を微細化しても許容される。
また、LCSP100の底面を研磨したことにより端子
160の高さばらつきが無くなるので、端子160が微

細であってもリフローする際に接続不良が生じない。

【0277】第2実施例の基板120は、第1実施例よ
りさらに配線キャパシティを増しており、端子160の
多ピン化を助けている。ラインピッチ40 μ mの信号
層121、126と、ラインピッチ160 μ mの信号
層122、125と、パワー/グランドプレーン12
3、124を備えており、1000ピン強の端子数に対
応し得る。

【0278】1VH141、142、BVH143、1
44、TVH145では、誘電層131 \sim 135が薄い
ことによりアスペクト比が小さい。銅めっきに支障を来
すことなく、小径化することができる。その上、1VH
141と142にはパッドオンホール配置が可能であ
り、配線密度の向上に寄与している。なお、さらに配線
密度を向上する必要がある場合には、1VH141と1
42と同様に、BVH143、144、TVH145の
内部を導体で埋め込む。これにより、導体カラムから成
るスタックトVHを構成でき、配線自由度が数倍以上向
上する。

【0279】基板120の誘電率(~ 3.6)は、第1
実施例に比べてさらに低減している。これに加えて、高
密度のバンパ150及び配線層121、122、12
5、126によってパッケージ内部配線長を短縮でき
る。したがって、信号伝播ディレイは従来技術のCSP
に比べると大幅に改善される。また、当然ながら、配線
長短縮とパワー/グランドプレーン123、124の
効果により、低ノイズ化を実現でき、安定した給電を行
なえる効果がある。

【0280】基板120の製作は、チップ110とは別
途に大型基板で一括して行なうので、多層且つファイン
ピッチであっても懸念されるほどのコスト上昇は無
い。材料及び設備の状況によるので一概には言えない
が、比較的多くの層数と微細な配線を必要とするような
場合には、完工基板にチップを後付けする第2実施例
(6配線層)のバンパ接続の方が、第1実施例(4配線
層)のダイレクトスルーホール接続に比べて、低コス
ト化されることがある。

【0281】バンパ150の接続では、基板120のガ
ラス転移温度($> 300^\circ\text{C}$)がバンパ150の融点(2
 21°C)より十分高いので、一括リフローする際に特に
問題は無い。バンパ150のピッチは、アンダーフィル
170の充填効果によって0.1mmという極めて微細
化を実現できる。アンダーフィル170の熱膨張係数は
バンパ150の値に実効的に整合しているため、熱膨張
の点でアンダーフィル170とバンパ150は均質な材
料に見える。熱応力は両者から成るプレート全体に分散
されるので、バンパ150の十分な信頼性を確保でき
る。熱サイクルによる加速寿命試験の結果は良好であ
る。

【0282】アンダーフィル170とエンカプスラント

180は、同時形成することによりプロセスを簡略化できる効果がある。低粘度樹脂材料へポッティングすることにより、アンダーフィル170の注入時間が短くて済み、プロセススループットが向上する。エンカプスラント180の厚さは、ポッティング条件を適正化することにより、所望の値で安定する。また、この樹脂材料は低弾性であることから、チップ110や基板120に加わる内部応力を抑制でき、信頼性も向上する。

【0283】LCSP100の吸湿は、アンダーフィル170とエンカプスラント180両者によって、基板120の表面からチップ110の側面までを全面的に覆うことにより防止している。IVH141、142、BVH143、144、TVH145の内部は埋め込み構造とし、これらを互いにシフト配置し、さらに誘電層131や135によりBVH143、144、TVH145をカバーしているため、外気からの水の浸入が極めて起こり難い。このような配慮により、耐湿試験を十分満足する結果が得られている。

【0284】以上述べたように、本第2実施例のLCSP100は、第1実施例のLCSP1よりさらにFCCと端子の多ピン化と、配線キャパシティの向上が可能となる。言うまでもないが、従来技術のCCSP、TCS、MCSPに比べると、その効果は絶大である。ハイエンドチップへの適用を推奨する。第2実施例には高性能インターポザ基板を用いているため、第1実施例よりパッケージ全体のコストは若干上がるものの、チップ接続密度や端子密度当たりのコストは第1実施例とコンパラブルであり、差額に十分見合う効果を獲得することができる。

【0285】例えば、その十分な配線キャパシティを活かして、チップ110の接続パッド111からパンプ150と信号層121、122と再びパンプ150を経て他の接続パッド111に達するインターコネクションを設けることができる。基板120の銅配線は、チップ110上のアルミ配線に比べて抵抗率が低く、断面積が大きく、且つ誘電率が低いことから、高速なチップ内部配線すなわちイントラチップハイウェイが実現できる。特にチップ内部の長距離配線、例えばデータバス等にこのインターコネクションを適用することにより、チップ110の高速動作に貢献できる効果がある。

【0286】また、第2実施例では、フリップチップ接続を行なう前にチップ110と基板120を全く個別に製作するため、マルチチップ構成のLCSPを容易に実現できる。例えば、10mm角前後のチップ4個を20mm角の基板に実装し、十分な配線キャパシティを擁する基板の内部に、各チップから端子までの配線と、チップ間の相互接続とを設ける。こうして、4チップ1パッケージとしてのまとまった機能と取り扱いが実現可能になり、性能の向上とPWB実装コストの削減が図れる。但し、マルチチップLCSPは、チップ数のべき乗

で歩留まりが落ちるので、バーンイン試験等に対する良品率が非常に高いチップへ適用することが望ましい。

【0287】なお、本発明はFCCとラミネート基板によるLCSPであることが要件であり、第2実施例に示した構成やプロセスによって徒に限定されない。例えば、基板の材料や層数等は、チップのパッド数や配置、端子ピッチや数、動作周波数、許容ノイズ量、使用環境、目標コスト等々に応じて変えらるべきである。パンプの材料や形成方法等は、チップのパッド数やピッチ、チップコストへの負荷、基板の耐熱性、リフロー設備、接合強度、疲労寿命等を総合的に勘案して決める。端子の形状やピッチ等の選択は、疲労寿命、検査性、出荷形態、パッケージとPWBの反り、PWBの設計/実装コスト、一括リフロー時の歩留まり等に依存する。アンダーフィルやエンカプスラントの材料や供給方法等は、誘起応力、接着性、耐湿性、ポットライフ、目標作業時間、外観等に呼応して、本発明をモディファイする。

【0288】さて、ここまで述べた第1実施例や第2実施例は多ピン、小型、且つ高速化を主目的としてきたが、以下ではさらに低コスト化を主眼とした実施例について説明する。

【0289】図5は、本発明の第3実施例のCSPの縦断面構造図である。図5において、LCSP200は、集積回路チップ210、ラミネート配線基板220、外部端子230、エンカプスラント240から構成されている。チップ210は同等サイズの基板220へフリップチップダイアタッチ(FCDA)されている。チップ210の接続パッド211は、ダイレクトウェアホール(DVH、FCC)223により基板220の導体層222へ接続され、導体層222の配線を介して端子230へ相互接続されている。基板220の誘電層221はアンダーフィルを兼ねており、チップ210と導体層222の間を埋めている。エンカプスラント240は、端子230の位置の開口部を除いて、基板220の表面を保護している。

【0290】チップ210は大規模集積回路から成り、チップ形状は21×9mm²の長方形、厚さは0.15mmである。パッケージサイズはチップサイズと全く同じであり、端子230を含めた高さは0.4mmである。チップ210の接続パッド211はニッケル/アルミニウムから成り、80μm角、最近接部のピッチは120μmである。

【0291】基板220は誘電層221と導体層222から成り、DVH223を備えている。誘電層兼アンダーフィル221は、エラストマ微粒子を分散させた海島構造のエポキシ接着フィルム(誘電率4、熱膨張係数16ppm/K、曲げ弾性率11GPa、ガラス転移温度170℃、吸湿率<0.1%)から成る。その厚さは75μmである。チップ210の表面はアンダーフィル2

21により封止されている。

【0292】導体層222には、ライン幅 $60\mu\text{m}$ 、最小ラインピッチ $120\mu\text{m}$ の信号配線と、この配線を取り囲むようにパワープレーンが形成されている。導体の厚さは $18\mu\text{m}$ と成っている。DVH223は接続パッド211から直に誘電層221を貫通し、導体層222の信号配線またはパワー／グランドプレーンへ接続されている。直径は $60\mu\text{m}$ のレーザ加工穴へのめっき銅から成り、内部は樹脂により充填されている。

【0293】端子230は、スタッドバンプのグリッドアレイから成り、マトリクス 26×9 、ピッチ 0.7mm で配列されている。合計端子数は234ピンである。スタッドバンプは金または半田／銅またはニッケルのめっきから成り、導体層222の上に形成されている。傘部の直径は 0.4mm 、底部は直径 0.34mm 、高さは 0.175mm である。

【0294】エンカプスラント240は誘電層221と同じエポキシ樹脂材料から成り、厚さ 0.1mm を以て基板220の導体層222とDVH223の表面を封止している。

【0295】第3実施例のLCSP200の製作は、次に述べる簡略なプロセスによる。

【0296】先ず、集積回路と接続パッド211が形成されたウエハを用意する。このウエハへ、所定の位置にレーザにより穴(DVH223)を加工したエポキシ接着フィルム(誘電層211)を加熱と加圧により密に接着する。これにより、ウエハ(チップ210)のFCD Aとアンダーフィル221の封止を行なう。

【0297】次に、誘電層211を銅めっき浴に浸し、パネルめっきを行なう。誘電層211とDVH223の表面全体に導体が形成され、DVH223が接続パッド211へ接続される。その後、銅めっき面へ信号配線とパワー／グランドプレーンをパターンニングし、導体層222を形成する。DVH223の中を穴埋めする。

【0298】この導体層222の表面へ、予め穴(端子230と成る)をドリル加工したエンカプスラント240を加熱と加圧により接着する。エンカプスラント240の上へさらにめっきレジストを厚塗りし、先程の穴と同じ位置へ開口をパターンニングする。銅またはニッケルのめっきを行ない、穴と開口を銅で埋め込み、レジストの上へ盛り上がるまで続ける。めっきの表面へさらに金または半田をめっきしてから、厚いレジストを除去する。こうして、エンカプスラント240によりチップ210を封止し、めっきスタッドバンプから成る端子230を形成する。

【0299】最後に、ウエハをダイシングし、LCSP200を切り出す。各種の検査を行なう。

【0300】本第3実施例のLCSP200によれば、第1実施例や第2実施例に比べてパッケージ構造を簡略化したことにより、さらに低コスト化できる効果があ

る。基板220の誘電層221がアンダーフィルの封止機能を兼ねることにより、部材数を削減できる。唯2枚のフィルム(誘電層221とエンカプスラント240)をチップ210へ接着し、銅めっきを施すことにより、パッケージを製作できる。しかも、エンカプスラント240がチップ210や基板220の側面を被覆しないため、パッケージの製作を全てウエハ状態で一括して処理できる。ウエハプロセスは、真空蒸着や化学気相成長等ではなく、簡易な接着とめっきであるから、作業と設備のコストがかさむことはない。したがって、材料コストと共にプロセスを極めて単純化できるので、トータルコストを低減できる効果がある。

【0301】LCSP200では、チップ210、基板220、及びエンカプスラント240を同時に切り出すので、パッケージ実装効率は100%である。すなわち、ベアチップと完全に同等のパッケージサイズを実現でき、極限の小型化を達成できる効果がある。さらに、パッケージの高さは 0.4mm しかなく、薄型化が可能である。

【0302】LCSP200の端子密度($124\text{ピン}/\text{cm}^2$)は、第1実施例($225\text{ピン}/\text{cm}^2$)や第2実施例($320\text{ピン}/\text{cm}^2$)には及ばないが、従来技術のCCSPやMCSPと比べると高密度である。第3実施例では、基板220とエンカプスラント240の熱膨張係数がチップ210に整合しておらず、第1実施例や第2実施例のように熱膨張係数の合わせ込み機能を備えていない。しかし、誘電層221とエンカプスラント240が低弾性材料から成り、熱応力や外力を吸収することができる。その上、DVH223と端子230の位置がシフトしており、両者を結ぶ導体構造がコンプライアントな湾曲形状であることにより、弾性変形が可能である。導体層222の断線や、接続パッド211や端子230の接続界面の剥離が生じない。したがって、構造を簡略化したにもかかわらず、端子230を 0.7mm ピッチに微細化しても問題ない。

【0303】端子230は、めっきにより形成するので、ボール供給法に比べて高さばらつきを抑制することが可能である。これは、LCSP200をプリント配線基板(PWB)へリフロー半田付けする際の接続歩留まりを向上する効果がある。また、バーンイン試験では検査ソケットとの接触抵抗のばらつきが減少するので、安定且つ信頼のおける検査を行なうことができる。

【0304】基板220(1層)の配線キャパシティは、多層基板を擁する第1実施例(4層)や第2実施例(6層)に及ぶべくもない。これは、本発明を適用するに際しての狙いが異なるからであって、第3実施例の欠点ということにはならない。配線層数と同じである従来技術のTCSPと比べると、接続パッド211の配置がチップ周辺に限定されないため、配線自由度が向上する。

【0305】LCSP200のパッケージ内部配線長は、DVH223の二次元アレイ接続によりTCSPより短縮できる。接続パッド211をチップ210の中央から取り出せるので、余分なルーティングを必要としない（実際に現状のLOC構造のパッケージでは中央に接続パッドがある）。導体層222の信号配線の両側はパワー／グランドプレーンに囲まれているので、配線長が短いことと合わせてノイズの影響を受け難い利点がある。

【0306】LCSP200の耐湿性は、アンダーフィル222とエンカプスラント240が担っている。両者の合計厚さは175 μ mである。TCSPにおける封止部の厚さ50～100 μ mに比べて厚いので、吸湿を抑止する効果が高い。第3実施例としての耐湿性は十分である。但し、第3実施例はチップ210や基板220の側面が覆われていないので、第1実施例や第2実施例に対して耐湿性が勝るということはない。第1実施例や第2実施例とは信頼性要求仕様のグレードが異なっており、予め承知しておくべきである。

【0307】上述したように、第3実施例のLCSP200は、特に低コスト化と小型、薄型化できる長所を有している。端子数は比較的小さい場合に適用し得る（従来技術に比べては十分多いが）。このことから、第3実施例は、メモリチップのパッケージとして好適であると言える。メモリチップの中でも多ピン化を必要とするシンクロナスDRAMやSRAMに向いている。

【0308】例えば、第3実施例を応用してSIMM（Single In-line Memory Module）のようなメモリモジュールやメモリカード等を構成できる。検査に合格した複数のLCSP200をPWBの両面へ半田付けする。LCSP200のパッケージ実装効率は100%であり、PWBへ密接に配置することによりモジュール／カードとして非常に高い実装密度を得る。大容量且つ小型、薄型化が実現できる。特に薄型化はカードや携帯機器において寄与が大きい。

【0309】但し、端子数が従来のメモリパッケージより多いLCSP200を使用するためには、配線キャパシティが十分なPWBを用意する必要がある。モジュールを製品出荷形態として信頼性をさらに保証する場合には、LCSP200の表面やこれとPWB間のギャップへ、塗布、注入、ポッティング、または印刷等の方法によりエンカプスラントを供給できる。

【0310】このように、第3実施例はメモリチップに対して優れた効果を発揮するが、これに適用が限られるわけではない。低コスト、薄型である利点を活かせば、例えば携帯電話やパーソナルコンピュータ等の携帯型情報機器、カメラ一体型ビデオテープレコーダに代表される民生機器、等々に使用できる。したがって、チップはシリコン半導体大規模集積回路素子のみならず、

ガリウム砒素半導体素子や比較的小規模の回路素子を含む。

【0311】なお、第1実施例や第2実施例の説明の後半において述べたように、本発明は目標仕様に応じて構造や製作プロセスを変え得るのであり、第3実施例もその一例に過ぎない。第1、第2、または第3実施例からさらに高性能化を目指した発展型、低コスト化を追求する縮退型、各実施例相互の折衷型、従来技術のパッケージとの合成型等、枚挙し切れぬほど本発明の適用は広い。

【0312】ところで、上記実施例ではLCSP全体の構成手段について述べてきたのであるが、下記では見方を変えてフリップチップコネクション（FCC）と外部端子に焦点を当てる。

【0313】図6は、本発明の第4実施例のCSPの横断面構造透視図である。図5において、LCSP300は、集積回路チップ310（図中の点線の四角形）、ラミネート配線基板（図示せず）、外部端子330、アンダーフィル（図示せず）、エンカプスラント340から構成されている。チップ310は同サイズの基板へFCC320～326によりフリップチップ接続されている。FCC320～326（点線の円）は、基板の配線またはヴァイア／スルーホール（VH／TH）を介して端子330（実線の円）へ相互接続されている。エンカプスラント340は基板の表面と側面を保護している。

【0314】チップ310は、例えばMPUを構成する大規模集積回路素子から成る。チップサイズは15～25mm角の正方形、またはその前後の長方形である。チップ310の接続パッドの配列ピッチ、すなわちFCC320～326の接続ピッチは最密部において約50 μ mから約300 μ mである。

【0315】FCC320～324はチップ310の表面の一部に局在し、群を成している。これらの群では、信号接続とパワー／グランド接続が交互または幾つか置きに配されている。FCC325、326は表面の縦横に格子縞状に並行し、格子縞は概略均等なインターヴァルで配列されている。主としてパワー／グランドへの接続を担っている。

【0316】端子330はLCSP300の表面に二次元アレイ状に離散し、均等なピッチ0.3～1.0mmで配列されている。端子330とFCC320～326の相互接続には配線またはVH／THが介在しており、応力乃至耐湿性等に対する配慮に怠りはない。配線及びVH／THは、相互接続を行なうに十分なピッチを以てルーティングされている。

【0317】本第4実施例のLCSP300によれば、チップ310上の所望の箇所から接続パッドすなわちFCC320～324を取り出せる効果がある。例えばチップがMPUである場合には、バス／キャッシュイン

タフェース ユニット、ロード/ストア ユニット、メモリ マネージメント ユニット、オンチップ キャッシュ等から直接信号を入出力できる。チップの中央の回路ユニットから周辺の接続パッドまでの迂回配線が不要となり、チップ上の配線層を減らせることにより、チップ コストを低減できる。さらに、チップ上の迂回配線による信号伝播ディレイを削減できるので、例えば外部 キャッシュ メモリとのアクセス時間が短縮できる。既に第2実施例の説明で述べたようにイントラチップ ハイウェイによりチップ上の重負荷バスを代行することにより、チップ内部動作周波数の向上に効果がある。チップ配線は $\sim 1 \text{ ns/cm}$ であり、基板配線は $\sim 0.1 \text{ ns/cm}$ であるから、キャッシュ アクセスやオンチップ バスにおけるディレイ短縮効果は、特に数100MHz以上のクロック周波数で動作するチップにおいて非常に有り難い。

【0318】FCC325、326及びFCC320～324の一部は、LCSP300の基板のパワー/グラウンド プレーンへ接続され、チップ310の内部へ均一且つ十分な給電を行なう。電源インピーダンスが低いことにより、同時切替ノイズによる電源電圧の揺動が低減される。FCC320～324が接続されるプレーンは、回路ユニット毎に分割されており、電源ノイズの伝播を防ぐ。なお、FCC320～326はプレーンから多数取り出せることから、これらと端子330は多対1対応である。端子330のサイズはFCC320～326より大きい故、前者の数を後者より減しても支障はない。

【0319】LCSP300の端子330は、回路ユニットのレイアウトに対応して局在するFCC320～324の群を、所定の標準的な配列ピッチに変換し、分散する機能を有する。これにより、チップ310の仕様に応じたFCC320～324の偏在と密集が許容されると共に、PWBへのLCSP300の実装設計及び設備の負担を軽減できる。

【0320】このように、本発明によるLCSPは、単にパッケージとしての性能に留まらず、チップの高性能化と低コスト化を具現する効果を奏する。

【0321】ここからは、本発明によるLCSPのプリント配線基板(PWB)等への実装について説明する。LCSP自体のパッケージングと区別するため、セカンドレベル パッケージング(Second Level Packaging:SLP)と呼ぶ。

【0322】図7は第5実施例のセカンド レベル パッケージング(SLP)の縦断面構造図である。ここでは、LCSPと他のパッケージとを共にセカンド レベルの配線基板へ実装した場合の一例として、プロセッサ システム ボードの代表的な構成を示す。

【0323】図7において、SLP400は、ラミネートベースド チップ サイズ パッケージ(LCS

P)410、420、プラスチック・ボール グリッド アレイ パッケージ(Plastic Ball Grid Array Package:PBGA)430、シン スモール アウトライン パッケージ(Thin Small Outline Package:TSOP)440、二次配線基板500から構成されている。

【0324】LCSP410はマイクロプロセッサ(MPU)から成る。パッケージ サイズは20mm角、実装時の高さは1mmである。外部端子411は、ピッチ0.6mm、マトリクス30×30、900ピンの半田ボール グリッド アレイから成る。LCSP410の背面には、空冷フィン550が熱伝導グリースにより取り付けられている。

【0325】複数のLCSP420は外部キャッシュ(SRAM)から成る。LCSP410に対して密接して配置されている。サイズは $16 \times 8 \text{ mm}^2$ 、高さは0.5mmである。端子は、ピッチ0.6mm、マトリクス23×10、230ピンの金/ニッケル バンプのランド グリッド アレイ(LGA)から成る。LCSP420の背面には、厚さ0.5mmの窒化アルミ製ヒート スプレッド560を介して、LCSP410と共通のフィン550が取り付けられている。

【0326】PBGA430はシステム コントロール ユニット(SCU、CMOSゲート アレイ)から成る。MPU(LCSP410)とメイン ストレージ(TSOP440)間のデータ転送を制御する。サイズは36mm角、高さは2mmである。端子431は、ピッチ1.27mm、マトリクス27×27、729ピンの半田ボールのBGAから成る。PBGA430にはチップがフェース ダウンで実装されており、背面に空冷フィン570が熱伝導グリースにより取り付けられている。

【0327】複数のTSOP440はメイン ストレージ(MS、DRAM)から成る。サイズは $16 \times 10 \text{ mm}^2$ 、高さは1mmである。端子441は、ピッチ0.5mm、32×2辺、64ピンのリード フレームから成る。チップはリード・オン・チップ構造により実装されている。

【0328】端子411、431、441は、クリーム半田印刷一括リフローにより二次基板500へ接続されている。LCSP420のLGAは、クリーム半田をリフローした半田ジョイント421により二次基板500へ接続されている。

【0329】二次基板500は、追加積層したアドヴァンスト部分510とベース部分520から成るラミネート基板である。全体の厚さは約1.5mmである。

【0330】アドヴァンスト部分510は、LCSP410、420、PBGA430、及びTSOP440からの配線引き出しと、これら相互の高速、多チャネルの

信号配線を担う。アドヴァンスト部分510では、ベース部分520の上にパワー／グランドプレーン2層、内層信号配線4層、外層配線1層、合計7層を積み重ねている。導体の厚さは18 μ m、ライン幅50 μ m、ラインピッチ100 μ mで配線が形成されている。誘電層は、誘電率3.7、厚さ75 μ mのエポキシ接着フィルムから成る。誘電層を貫通し導体層間を接続するヴァイアホール(VH)の直径は100 μ mである。

【0331】ベース部分520は、アドヴァンスト部分510より低速な信号配線と電源供給を担う。ベース部分520は一般的なエポキシガラス布銅張り積層基板である。導体層6層と誘電層5層から成る。標準導体厚さは18 μ m、ライン幅は80 μ m、ラインピッチは160 μ mであり、100mil基本格子ではピン間5チャンネルが可能である。誘電層は、誘電率4.8、厚さ0.2mmのエポキシガラス布基材から成る。直径0.3mmのヴァイア／スルーホール(VH/TH)が形成できる。

【0332】ところで、第5実施例では、LCSP410、420、PBGA430、TSOP440のバーンイン試験を行なった後、プロセッサシステムボードを組む。特に、LCSP410と420の試験では、微細な半田ボールやランドから成るエリアアレイ端子に対して安定な接触を得るため、スプリングコンタクトや導電性エラストマから成る検査ソケットを用いるか、または検査基板に端子を仮半田付けする。このソケットを取り付ける基板や仮付け基板には、耐熱性が高く、端子ピッチより十分狭いライン幅を有する基板(すなわち二次基板200の一部を切り出したような基板)を用いる。

【0333】本第5実施例のSLP400によれば、二次基板500へアドヴァンスト部分510を設けることによって、MPU(LCSP410)、キャッシュ(LCSP420)、SCU(PBGA430)、及びMS(TSOP440)相互間のインターコネクションを高密度化且つ高速化できる効果がある。しかも、二次基板全層にファインパターンを形成するより、追加積層するアドヴァンスト型基板の方がコスト上昇を抑えられる。

【0334】アドヴァンスト部分510では、狭ピッチ配線によりLCSP410及び420の端子間で2チャンネルの配線を引くことができ、微細なVHにより配線領域への制限を減じて外層配線から内層配線へ接続できる。したがって、多ピンを擁するLCSP410及び420の接続に足る十分な配線キャパシティが得られる。

【0335】LCSP410と420はパッケージ内部配線長が短い上、両者は近接して配置されている。二次基板500の十分な配線キャパシティによって、余分な迂回配線を行なう必要はない。アドヴァンスト部分510の誘電率はベース部分520より低減している。した

がって、パッケージ相互間の伝播ディレイを大幅に短縮できる。特に、MPU(LCSP410)とキャッシュ(LCSP420)のアクセス時間や、MPUとSCU(BGA430)間のレイテンシを縮めることができ、プロセッサのシステム性能が向上する。

【0336】端子411及び半田ジョイント421に加わる熱応力は、LCSP410と420のラミネート基板の熱膨張係数を適切に設定することによって低減できる。微細なピッチ0.6mmでも信頼性は十分である。

この理由は、「発明の解決手段」の欄で既に詳しく説明した通りである。LCSP410やLCSP420のフリップチップコネクション(FCC、直径 \sim 0.1mm)に対する端子直径(直径 \sim 0.3mm)の比率を $\gamma \sim 3$ 、チップと二次基板500の熱膨張係数をそれぞれ $\alpha_0 \sim 3$ ppm/K、 $\alpha_2 \sim 15$ ppm/Kとして、LCSP基板の熱膨張係数 α_1 が $(\gamma \alpha_0 + \alpha_2) / (\gamma + 1) = 6 \leq \alpha_1 \leq (\gamma \alpha_0 + 7 \alpha_2) / (\gamma + 7) = 11$ を満たす。これにより、FCCと端子411やジョイント421の熱疲労寿命がバランス良く向上する。

【0337】ついでに述べておくと、端子411及び半田ジョイント421の信頼性を極度に必要とする場合には、LCSP410、420と二次基板500の間に樹脂を充填する。コストアップは止むを得ない。また、FCCの寿命が十分保証されている場合には、LCSP基板及び二次基板として同じ熱膨張係数の部材を用いることにより、端子をさらに微細化し、延命することが可能になる。

【0338】LCSP410と420の放熱は、フィン550とヒートスプレッド560により効率良く行なえる。ヒートスプレッド560は、LCSP410と420の高さの差異を埋める。LCSP410と420がフィン550を共有することにより、両者の実装間隔を広げずに済む。熱伝導グリースの厚さを0.1mm程度に調整することにより、LCSP410からフィン550までの熱抵抗を0.2 $^{\circ}$ C/W、からフィン550までの熱抵抗を0.8 $^{\circ}$ C/Wに抑制できる。強制空冷によりフィン550の熱抵抗を2 $^{\circ}$ C/W以下に容易に低減できるので、MPU(LCSP410)とキャッシュ(LCSP420)の総発熱量として30 \sim 40Wを許容できる効果がある。逆に言えば、チップの温度上昇を抑制でき、熱動作を防止できる。

【0339】以上説明したように、第5実施例のSLP400により、LCSP410と420の多ピン、小型、高速という特長を活かして、高密度、高速、高信頼のプロセッサシステムボードを実現することができる。

【0340】二次基板の種類として、第5実施例に用いたアドヴァンスト型ラミネート基板500の他、ベース部分としてラミネート基板、厚膜セラミック基板またはシリコン基板を用い、追加積層部分にラミネートまたは

薄膜デポジションを行なう基板を用いることが可能である。追加積層部分を設けない場合もある。これらの中から要求仕様に応じて選択する。

【0341】セラミック基板の材料は、アルミナ、窒化アルミ、ムライト、ガラスセラミック等が用いられる。前三者の導体はタングステンやモリブデン、後者には銅や金、銀から成る。誘電率はラミネート基板に比べて高く、5~10の範囲にある。通常では層厚0.2mm、ラインピッチ0.4mm、VH径0.2mm、特別なら層厚0.1mm、ピッチ0.2mm、VH径0.1mm程度の形成が可能である。

【0342】セラミック基板の熱膨張係数(4~7ppm/K)はチップ(3ppm/K)に近いので、LCSP端子の微細化に有効である。但し、ライン幅が広いことにより層数が多くなるので、ラミネート基板に比べて数倍程度コスト高になる。このほか、二次基板としてセラミック基板の長所は、他の基板に比べて熱伝導率、耐熱性、及び機械強度が高いこと、完全な気密封止を行なえること、高抵抗体や高誘電率体を形成し易いこと等である。二次基板に終端抵抗や大容量のデカップリング

キャパシタを作り込むことにより、LCSP基板の効果と合わせて低ノイズ化できる。

【0343】薄膜多層配線は、セラミック基板、シリコン基板、またはメタル基板の表面上に形成される。単独では存しない。導体は銅、金、アルミ、誘電体はポリイミド、酸化珪素等から成る。薄膜配線(蒸着やスパッタとエッチング加工)は、ラミネート基板(めっきとドリル加工)やセラミック基板(印刷とパンチ加工)に比べて最も微細化が可能であるが、4~10層以上の多層化は困難である。ライン幅やVH径として10~25μm、ピッチ50~100μmの形成を行なえる。

【0344】配線やVHの微細化に関して、上述したLCSP基板や二次基板に用いられているアドヴァンスト型ラミネート基板では、薄膜配線との差がなくなりつつある。これは、接着フィルム、感光性樹脂のビルドアップ、または転写等による積層技術と、フォトグエイアホールやレーザによる微細穴加工技術の発達による。しかも、アドヴァンスト型ラミネート基板は、薄膜配線のような真空処理を行わず、大面積一括加工を行なえるので、コストを数分の一に抑えられる。その上、LCSP基板と同じ設備によって製作できるので、薄膜配線やセラミック基板に比べて余分な設備投資を必要としない。

【0345】多ピン且つ狭ピッチのLCSPを使いこなすために、二次基板として何を用いるかは、最狭ピッチ少層の薄膜配線、狭ピッチ多層のラミネート基板、広ピッチ多層の厚膜セラミック基板、これらの組合せ等の中から、上述の長所と短所を勘案して選定する。

【0346】なお、第5実施例ではSLPの代表例としてプロセッサシステムボードを取り上げたが、他の

情報機器や民生機器を構成し得ることは言うまでもない。例えば、LCSPが薄型、小型であることを活用して、携帯型の電話、カメラ一体型ビデオテープレコーダ、テレビ等に適用することができる。この際には、二次基板として薄型、軽量であることが求められ、プリント配線基板の他に例えばフレキシブル基板やガラス基板等が用いられる場合がある。また、より高性能化を図るため、ボードへLCSPを実装するのではなく、SLPとしてマルチチップモジュールを構成することができる。

【0347】図8は、本発明の第6実施例のSLPの縦断面構造図である。ここでは、LCSPと他のパッケージとによりマルチチップモジュールを構成した場合の一例として、プロセッサモジュールの代表的な構成を示す。

【0348】図8において、SLP600は、LCSP610、3個のフィルムオンチップスタックパッケージ(Film-On-Chip Stack Package:FOCS)620、モジュール基板(二次配線基板)630、放熱フィン640から成るマルチチップモジュール(Multichip Module:MCM)であり、ボード(三次配線基板)700へ実装されている。3個のFOCS620のうち、2個は隠れて見えない。

【0349】LCSP610は、マイクロプロセッサチップ(MPU)611、パッケージ基板612、アンダーフィル613、ダイレクトスルーホール(DTH)614、パッケージ端子615、エンカプスラント616から成る。第1実施例と同様の手段により、チップ611は、アンダーフィル613により基板612へフリップチップダイアタッチ(FCDA)され、DTH614により基板612の配線層へ接続され、端子615へ相互接続されている。エンカプスラント616は、端子615とチップ611の背面を除いて、チップ611と基板612の表面と側面を封止している。

【0350】チップ611はシリコン大規模集積回路から成り、サイズは17.7×18.2×0.3mm³である。基板612はマレイミド系樹脂の銅クラッドラミネート多層配線基板(誘電率3.8)から成り、サイズは18.5×18.5×0.2mm³である。配線やグエイア/スルーホール(VH/TH)は簡単のため図示していない。アンダーフィル613は基板612と同様の材料から成る接着フィルムであり、チップ611を封止している。DTH614は銅めっきから成り、チップ611の接続パッドから直にアンダーフィル613を貫通し、基板612の配線層に達している。端子615は錫/アンチモン半田(固相融点232℃)から成り、ピッチ0.6mm、マトリクス29×29、計841ピンのボールグリッドアレイ(BGA)である。エンカプスラント616はエポキシ系モールド樹脂から成る。パ

パッケージ サイズは、端子615を含めて $19 \times 19 \times 1 \text{ mm}^3$ である。

【0351】FOCS620は、4個の外部キャッシュ用SRAMチップ621、4枚のパッケージ基板622、DTH623、ベース基板624、インターフィル625、スルーホール（TH）626、パッケージ端子627、エンカプスラント628から成る。第1実施例や第3実施例に示したダイレクトスルーホール接続手段を応用して、チップ621は、パッケージ基板622へフリップチップダイアタッチ（FCDA）され、DTH623により基板622の配線層へ接続されている。4組のチップ621付き基板622とベース基板624は、インターフィル625によりスタックされ、TH626により互いに接続され、端子627へ相互接続されている。エンカプスラント628は、端子627を除き、基板622と624の表面と側面を封止している。なお、FOCS620は3個あるので、チップ621は合計12個用いられている。

【0352】チップ621はシリコン大規模集積回路から成り、サイズは $7.2 \times 14.1 \times 0.1 \text{ mm}^3$ である。裏面から薄型に研磨されている。基板622はポリイミド接着フィルムの多層配線基板（誘電率3.3）から成り、サイズは $17 \times 17 \times 0.05 \text{ mm}^3$ である。アンダーフィルを兼ねており、チップ621の表面を封止している。配線とヴァイア／スルーホール（VH／TH）は簡単のため描いていない。DTH623は銅めっきから成り、チップ621の接続パッドから直に基板622を貫通し、配線層に達している。ベース基板624は基板622と同様のポリイミド多層配線基板から成り、サイズは $17 \times 17 \times 0.1 \text{ mm}^3$ である。インターフィル625は基板622と同様の接着材料から成るフィルムであり、4枚の基板622と624の間を互いに充填している。TH626は銅めっきから成り、4枚の基板622と624を貫通し、互いに接続している。端子627はLCSP610と同じ錫／アンチモン半田から成り、ピッチ0.6mm、マトリクス 27×27 、計729ピンのBGAである。エンカプスラント628はエポキシ系モールド樹脂から成る。パッケージサイズは、端子627を含めて $18 \times 18 \times 1.3 \text{ mm}^3$ である。なお、フィルム－オン－チップスタックパッケージという名称は、チップ621の上にフィルム基板622が接続され、これらを積み重ねたことに由来する。

【0353】モジュール基板630は、マレイミドースチリル系樹脂から成る銅クラッドラミネート多層配線基板（誘電率3.7）である。追加積層したアドヴァンスト層631とベース層632により構成されている。サイズは $53 \times 53 \times 1.8 \text{ mm}^3$ である。アドヴァンスト層631は、信号層6層と給電層その他含めて計11層から成り、主としてLCSP610とFOCS620間のインターコネクションを担っている。ベース層632

は、信号層4層、給電層、銅コア、その他含めて計10層から成り、主として給電と、パッケージ端子615、627からモジュール端子633への接続を担っている。基板630の底面の端子633は、鉛／錫共晶半田（融点183℃）から成り、ピッチ1.27mm、マトリクス 34×34 、計1156ピンのBGAである。

【0354】放熱フィン640はアルミニウムから成り、LCSP610のチップ611の背面とFOCS620の上面へ熱伝導グリースにより取り付けられている。フィン640には、LCSP610とFOCS620の高さの違いに配慮して熱抵抗を下げるため、LCSP610側に凸部が設けられている。フィン640は、幅4mmのラバーフレームによりモジュール基板630へねじ止めされている。

【0355】ボード700は、エポキシ系樹脂から成る銅クラッドラミネート多層配線基板（誘電率4.8）であり、合計22層で構成されている。そのサイズは $25 \times 30 \times 0.27 \text{ cm}^3$ であり、モジュール端子633から外部、例えば他のモジュールやメインストレージ、さらにボード700の外部等へのインターコネクションと、給電を受け持っている。

【0356】本第6実施例のSLP600によれば、高密度且つ多層の二次基板630を用いることにより、MPU（LCSP610）とキャッシュ（FOCS620）から成る高性能プロセッサモジュールを構成できる。

【0357】二次基板として、モジュール基板630は、端子数が非常に多いパッケージ相互のインターコネクションを行なうに十分な配線キャパシティを擁している。第6実施例のようにパッケージングレベルを二次と三次に区切り、モジュール基板（二次）とボード（三次）に分割する方が、二次基板としてボード全体を高密度、多層化する場合に比べて、歩留まりを向上し、コストを抑制できる。モジュール端子633のピッチは、従来の標準的なBGAパッケージと同一であり、ボード700として一般仕様のプリント配線基板を用いることができる。また、モジュール基板とボードに分割したことにより、モジュール毎に検査や補修を行なうことができ、信頼性と作業性が向上する。

【0358】このモジュール基板630へ、本発明に基づくLCSP610を実装し、その上本発明のDTH接続を応用して4個のチップ621を三次元的に積層したFOCS620を搭載する。これにより、モジュール全体の実装面積を低減し、さらにMPU（LCSP610）とキャッシュ（FOCS620）間の伝播ディレイを短縮できる。例えば、一般的なメモリパッケージを平面的に12個配置した場合と比べて面積を約7割、ディレイを約5割削減できる。チップ621をLCSPに収めて平面的に配置した場合と比べても、面積を約3割、ディレイを約2割削減できる。しかも、三次元スタ

ックしたFOCS620の内部で4個のチップ621への分配配線を行なうので、平面配置でそれぞれのメモリパッケージへ個別に配線した場合に比べると、モジュール基板の配線本数を減らすことができる。

【0359】パッケージ基板612、622、ベース基板624、モジュール基板630、及びボード700には、アンダーフィル613やインナーフィル625によるDTH614、DTH623、TH626の延命効果を考慮した上で、所定の範囲の熱膨張係数を有する材料を選定してある。これにより、DTH614とパッケージ端子615、DTH623とパッケージ端子627、及びモジュール端子633の熱疲労に対する信頼性を十分確保できる。また、端子615、627、633の半田付け温度階層に対応して、所定のガラス転移温度を有する基板612、624、630、700を用いることにより、これらの耐熱性を向上できる。

【0360】LCSP610とFOCS620の放熱に関しては、フィン640により効率良く行なえる。チップ611は約20~30W、4個のチップ621は10~20Wの発熱量を有しているが、コストの高い水冷でなくとも強制空冷により冷却できる。空冷方法としては、モジュール基板630より大きな面積のフィンを用いるより、フィン640上部にダクトを設ける方が熱抵抗を約1℃/Wまで低減できる。しかも、ボード700へのモジュール実装面積が低減できるので、他のモジュール等への伝播ディレイを短縮できる効果がある。なお、LCSP610やFOCS620とフィン640との間隔は、ラバー フレーム641の弾力性と熱伝導グリースの粘性により適切に保たれており、熱抵抗のばらつきが少ない。さらに、フィン640とモジュール基板630の熱膨張差による応力がLCSP610やFOCS620に加わることなく、パッケージ端子615と627へ悪影響を及ぼすことはない。

【0361】このように、第6実施例のSLP600は、マルチチップ プロセッサ モジュールとして高性能、高信頼、且つ低コスト化を達成できる効果がある。なお、ここに示したものは我々が本発明を実施した製作品のほんの一例であり、チップ仕様やシステム仕様等によって他の構成を取り得る。例えば、モジュール基板として厚膜多層セラミック基板や薄膜多層基板等を適用し、モジュール端子としてピン グリッド アレイ、カラム グリッド アレイ等を採用することが可能である。LCSPのサイズや端子数、基板のサイズや層構成等は、本発明の適用先と目標に応じて任意に設計すべきである。

【0362】以上、本発明につき第1実施例から第6実施例を通じて説明してきた。本発明は、LCSPの多ピン、小型、高速、高信頼、低コスト化のみならず、SLPにおいても高性能、高信頼、低コスト化を具現し、パッケージング技術への多大なる貢献と広範なる適用を提

供する。

【0363】

【発明の効果】本発明の手段(1)によれば、チップサイズと同等に小型であり、多ピン、高速、高信頼性、低コストのLCSPが得られる。

【0364】エリア アレイのFCCにより高密度のチップ接続が行なわれ、十分な配線キャパシティを擁する基板によりFCCが外部端子へ接続され、エリア アレイの外部端子によりPWBへの高密度の接続が行なわれるので、信号とパワー/グラウンドのための十分な端子数を確保でき、LCSPが多ピン化する。

【0365】ラミネート基板により低誘電率且つ低抵抗の配線を行なえ、チップ中央から取り出せるFCCによりパッケージ内部配線長が短縮されるので、伝播ディレイが低減される上、インダクタンスによる高周波ノイズが抑制されて、LCSPが高速化する。

【0366】アンダーフィルによりFCCに加わる熱応力が分散され、所定の熱膨張係数と弾性をもつ基板により端子への熱応力の偏りが抑制され、基板の配線やVH/THの適切な配置により端子からFCCの方へ伝達する応力が緩和されるので、LCSPの信頼性が向上する。

【0367】エンカプスラントにより基板表面にある配線やVH/THの接合界面からの吸湿が防止され、配線やVH/THのルーティングにより吸湿経路が曲折するので、LCSPの耐湿性が向上する。

【0368】インタポーザ基板によりチップへのプロセス負担が軽減され、FCCにより一括してチップ接続を実施でき、有機材料により高性能基板が容易に実現できるので、LCSPが低コスト化する。

【0369】本発明の手段(2)によれば、端子位置のシフトにより端子近傍からチップの方向へ直に向かう応力や吸湿が回避されるので、信頼性が向上する。

【0370】本発明の手段(3)によれば、FCCと端子間を迂回する相互接続経路により応力が分散され、水分の浸入が困難になるので、信頼性が向上する効果がある。

【0371】本発明の手段(4)によれば、VH/THの埋め込みにより応力や湿度に対する信頼性が高まり、基板の配線密度が向上するので多ピン化できる。

【0372】本発明の手段(5)によれば、FCCや端子のコンプライアンスにより応力が吸収されるので、信頼性と検査性が向上する。

【0373】本発明の手段(6)によれば、FCCと熱膨張係数が整合したアンダーフィルにより応力が面全体に分散されるので、信頼性が向上する。

【0374】本発明の手段(7)によれば、所定の熱膨張係数をもつ基板によりFCCと端子の疲労寿命レベルが揃うので、LCSP全体の信頼性が向上する。

【0375】本発明の手段(8)によれば、VH/TH

の微細化により吸湿が起り難くなる上、チップ接続と端子が多ピン化する。

【0376】本発明の手段(9)によれば、THを覆うエンカプスラントにより水分の浸入が阻止され、耐湿性が向上する。

【0377】本発明の手段(10)によれば、スタックトVHにより吸湿が減少する上、配線密度が向上するので、LCSPが多ピン化する。

【0378】本発明の手段(11)によれば、基板内に配線を隠すことにより、湿度、酸化、ショートから守られるので、信頼性と取り扱いが改善される。

【0379】本発明の手段(12)によれば、基板表面からチップ側面までをカバーするエンカプスラントにより、湿度や損傷に対する安全性が向上する。

【0380】本発明の手段(13)によれば、小径の非貫通IVHにより端子数が増大し、IVHの誘電層により基板表面が保護されるので、多ピン化と高信頼化がはかれる。

【0381】本発明の手段(14)によれば、IVHにより多数のFCCが取り出され、基板からアンダーフィルへの水分の浸入が防がれるので、LCSPの多ピン化、高信頼化がはかれる。

【0382】本発明の手段(15)によれば、LCSP全体のコプライアント構造により応力が吸収されるので、信頼性と検査性が向上する。

【0383】本発明の手段(16)によれば、低誘電層により短時間に信号が伝送され、高誘電層により電源ノイズが低減されるので、LCSPが高速化する効果がある。

【0384】本発明の手段(17)によれば、整合抵抗により信号が終端されるので、反射ノイズが低減する。

【0385】本発明の手段(18)によれば、イントラチップ ハイウェイによりチップ内部同士が高速に結ばれるので、回路動作が高速化する。

【0386】本発明の手段(19)によれば、端子より多数のFCCによりチップに対して十分に給電が行なわれ、しかも端子数は適切に保たれるので、LCSPの適正な活用がはかれる。

【0387】本発明の手段(20)によれば、任意に選べるFCCの配置により、チップ内部の機能ユニットから端子までの配線長が短縮されるので、LCSPが高速化する。

【0388】本発明の手段(21)によれば、LCSPの底面全体から端子が取り出されるので、多ピン化がはかれる。

【0389】本発明の手段(22)によれば、端子ピッチが規格化されるので、LCSPを実装するPWBのレイアウト設計が行ない易くなる。

【0390】本発明の手段(23)によれば、標準的なパッケージ サイズが決まるので、運搬並びにPWBへ

の実装装置における取り扱いが簡便になる。

【0391】本発明の手段(24)によれば、チップ背面から放熱部までの熱抵抗が下がるので、チップの温度が低下し、回路動作の信頼性が向上する。

【0392】本発明の手段(25)によれば、基板のTHとFCCを兼ねるDTHにより、短い接続長でチップ接続が行なわれるので、低コスト化と高速化がはかれる。

【0393】本発明の手段(26)によれば、基板とは別個のパンクによりチップ接続が行なわれるので、LCSPの製造プロセスの自由度が増す。

【0394】本発明の手段(27)によれば、LCSPの構造が簡易になり、部材数が減るので、薄型化が可能になる上、製造コストを低減できる。

【0395】本発明の手段(28)によれば、マルチチップLCSPにより複数のチップを一括して取り扱えるので、PWBへの実装が簡便になる。

【0396】本発明の手段(29)によれば、所定のラミネート基板により配線キャパシティの必要量が確保され、熱応力が低減されるので、LCSPの多ピン化と高信頼化がはかれる。

【0397】本発明の手段(30)によれば、高密度、多層のアドヴァンスト型ラミネート基板の採用により、配線やVH/THの収容量が増加するので、LCSPが多ピン化する。

【0398】本発明の手段(31)によれば、基板、アンダーフィル、エンカプスラントの構成材料の低誘電率化、低熱膨張化、低吸湿率化等を行なうことにより、LCSPの高速化と高信頼化がはかれる。

【0399】本発明の手段(32)によれば、配線やVH/THの信号配線の低抵抗化に加えて、低熱膨張化、高熱伝導化、接合強度の向上、終端抵抗形成等の機能が付与されるので、LCSPが高速化し、信頼性が向上する。

【0400】本発明の手段(33)によれば、FCCや端子の耐酸化性、リフロー性、低抵抗接触、コンプライアンス等が得られるので、LCSPの取り扱いと検査性が向上する。

【0401】本発明の手段(34)によれば、バリアメタル層により良好な半田付けが行なわれ、半田付けの繰り返しが可能になるので、製造歩留まりと検査性が向上する。

【0402】本発明の手段(35)によれば、FCDAと同時にアンダーフィルが形成されるので、工程数が減り、LCSPの低コスト化がはかれる。

【0403】本発明の手段(36)によれば、アンダーフィルとエンカプスラントが同時に形成されるので、プロセス コストが削減される。

【0404】本発明の手段(37)によれば、保護フィルムとの接着によりエンカプスラントの形成が簡略化され

るので、低コスト化がはかれる。

【0405】本発明の手段(38)によれば、エンカプスラントと連続して開口が形成されるので、プロセスを変更する手間が省け、コスト削減がはかれる。或いは、端子の一部もエンカプスラントにより封止されるので、耐湿性が向上する。

【0406】本発明の手段(39)によれば、高アスペクト比の導体が形成され、VH/THの内部が充満されるので、LCSPの多ピン化と高信頼化がはかれる。

【0407】本発明の手段(40)によれば、高密度配線をもつ二次基板により多ピンのLCSPの相互接続が行なわれるので、フォロウイング レベル パッケージングとしての高性能化がはかれる。

【0408】本発明の手段(41)によれば、高速且つ多数本のアドヴァンスト配線によりLCSPの性能が引き出され、低密度だが低コストの基板ベースにより給電等が行なわれるので、高性能化と低コスト化の両立がはかれる。

【0409】本発明の手段(42)によれば、LCSPと別個のパッケージ間の伝播ディレイが短縮されるので、両者のシステムティックな性能が向上する。

【0410】本発明の手段(43)によれば、二段構えのデカップリング キャパシタにより電源ノイズが削減されるので、LCSPの高速動作を行なえる。

【0411】本発明の手段(44)によれば、チップとLCSP基板と二次基板の熱膨張係数を所定の関係に保つことにより、FCCと端子の信頼性が同じレベルになるので、LCSPが総合的に高信頼化する。

【0412】本発明の手段(45)によれば、FCCの寿命が十分であれば、同質のLCSP基板と二次基板を用いることにより端子ピッチを狭められるので、LCSPがさらに多ピン化する。

【0413】本発明の手段(46)によれば、低誘電率、ファイン ピッチ、多層配線が可能な二次基板により、LCSPが高速、高スループット化する。

【0414】本発明の手段(47)によれば、端子より低融点の半田ジョイントによって一括リフローやリペアが容易になるので、プロセス コストの削減がはかれる。

【0415】本発明の手段(48)によれば、スプリングやエラストマのコンプライアンスにより端子とソケットが安定に接触するので、検査性が向上する。

【0416】本発明の手段(49)によれば、LCSPと別個のパッケージに用いる放熱部品の個数と設置スペースが減るので、放熱部が小型化する。

【0417】本発明の手段(50)によれば、二次基板上でプロセッサLCSPとメモリパッケージが高速に協調動作するので、プロセッサ モジュールとして高性能化する。

【0418】本発明の手段(51)によれば、メモリ L

CS Pが二次基板上に高密度実装されるので、メモリモジュールとして小型化且つ大容量化できる。

【図面の簡単な説明】

【図1】本発明の第1実施例のラミネートベースドチップ サイズ パッケージの斜視断面構造図。

【図2】本発明の第1実施例のラミネートベースドチップ サイズ パッケージの縦断面構造図。

【図3】本発明の第1実施例のラミネートベースドチップ サイズ パッケージの製造プロセスを説明する図。

【図4】本発明の第2実施例のラミネートベースドチップ サイズ パッケージの縦断面構造図。

【図5】本発明の第3実施例のラミネートベースドチップ サイズ パッケージの縦断面構造図。

【図6】本発明の第4実施例のラミネートベースドチップ サイズ パッケージの横断面構造図。

【図7】本発明の第5実施例のラミネートベースドチップ サイズ パッケージの縦断面構造図。

【図8】本発明の第6実施例のラミネートベースドチップ サイズ パッケージの縦断面構造図。

【図9】従来公知例のセラミック チップ サイズ パッケージの縦断面構造図(同図(A))と、従来公知例のテープ チップ サイズ パッケージの縦断面構造図(同図(B))。

【図10】従来公知例のメタル チップ サイズ パッケージの縦断面構造図(同図(A))と、従来公知例のリードオンチップ チップ サイズ パッケージの縦断面構造図(同図(B))。

【図11】本発明に拠らないラミネートベースドチップ サイズ パッケージの縦断面構造図。

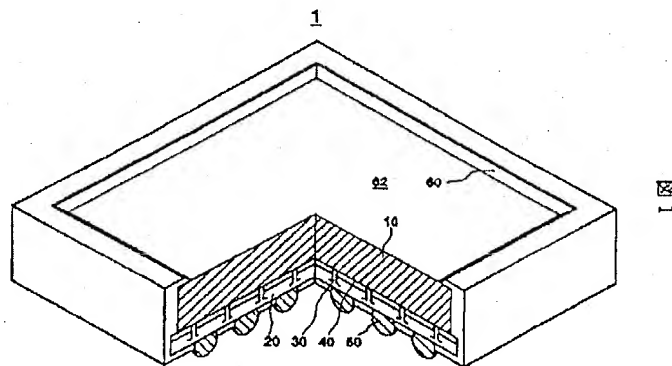
【符号の説明】

1…ラミネートベースド チップ サイズ パッケージ、10…集積回路チップ、11…集積回路、12…接続パッド、20…ラミネート配線基板、21、22、23、24…導体層、25、26、27…誘電層、30…ダイレクト スルー ホール、31…インタースティシャル ヴァイア ホール、32…端子パッド、40…アンダーフィル、50…外部端子、60…エンカプスラント、61、62…開口、70、72…シート基板、71…接着シート、80、81…穴、90…半田ボール、100…ラミネートベースド チップ サイズ パッケージ、110…集積回路チップ、111、140…接続パッド、120…ラミネート配線基板、121、122、123、124、125、126…導体層、131、132、133、134、135…誘電層、141、142…インタースティシャル ヴァイア ホール、143、144…ヴァイア ホール、145…スルー ホール、150…バンパ、160…外部端子、170…アンダーフィル、180…エンカプスラント、200…ラミネートベースド チップ サイズ パッケージ

ジ、210…集積回路チップ、211…接続パッド、220…ラミネート配線基板、221…誘電層、222…導体層、223…ダイレクト ヴァイアホール、230…外部端子、240…エンカプスラント、300…ラミネートベースド チップ サイズ パッケージ、310…集積回路チップ、320、321、322、323、324、325、326…フリップ チップ コネクション、330…外部端子、340…エンカプスラント、400…セカンド レヴェル パッケージング、410、420…ラミネートベースド チップ サイズ パッケージ、430…ボール グリッド アレイ パッケージ、440…シン スモール アウトライン パッケージ、411、421、431、441…外部端子、500…二次配線基板、510…アドヴァンスト部分、520…ベース部分、550、570…フィン、560…スプレッド、600…セカンドレヴェル パッケージング、610…ラミネートベースド チップ サイズパッケージ、611…集積回路チップ、612…パッケージ基板、613…アンダーフィル、614…ダイレクト スルー ホール、615…パッケージ端子、616…エンカプスラント、620…フィルムオンチップ スタック パッケージ、621…集積回路チップ、622…パッケージ基板、623…ダイレクト スルー ホール、624…ベース基板、625…インナーフィル、626…スルー ホール、627…パッケー

ジ端子、628…エンカプスラント、630…モジュール基板、631…アドヴァンスト層、632…ベース層、633…モジュール端子、640…放熱フィン、641…ラバー フレーム、700…ボード、910…セラミック チップ サイズ パッケージ、911…チップ、912…セラミック基板、913…バンブ、914…パッド、915…ランド、916…ヴァイア ホール、917…封止樹脂、920…テープ チップ サイズ パッケージ、921…チップ、922…パッド、923…テープ、924…配線層、925…リード、926…ヴァイア ホール、927…バンブ、928…接着剤、929…保護枠、930…樹脂、940…メタルチップ サイズパッケージ、941…チップ、942…パッド、943…パッシベーション、944…金属配線、945…フィルム、946…半田、947…インナーバンブ、948…バンブ、949…封止樹脂、950…リードオンチップ チップサイズ パッケージ、951…チップ、952…フィルム、953…リードフレーム、954…ワイヤ、955…封止樹脂、970…ラミネートベースドチップ サイズ パッケージ、971…チップ、972…ラミネート基板、973、975、977…パッド、974…バンブ、976…配線、978…ヴァイア ホール、979…スルーホール、980…封止樹脂、981…バンブ。

【図1】



【図 2】

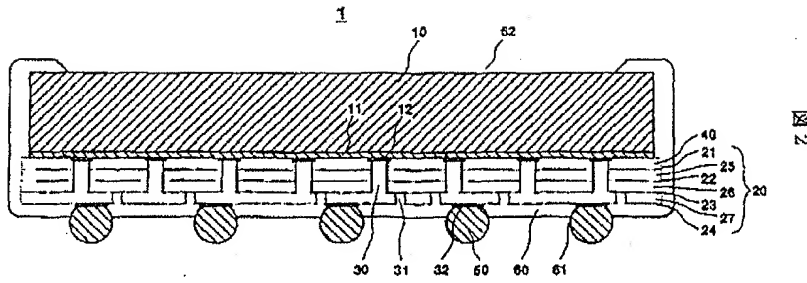
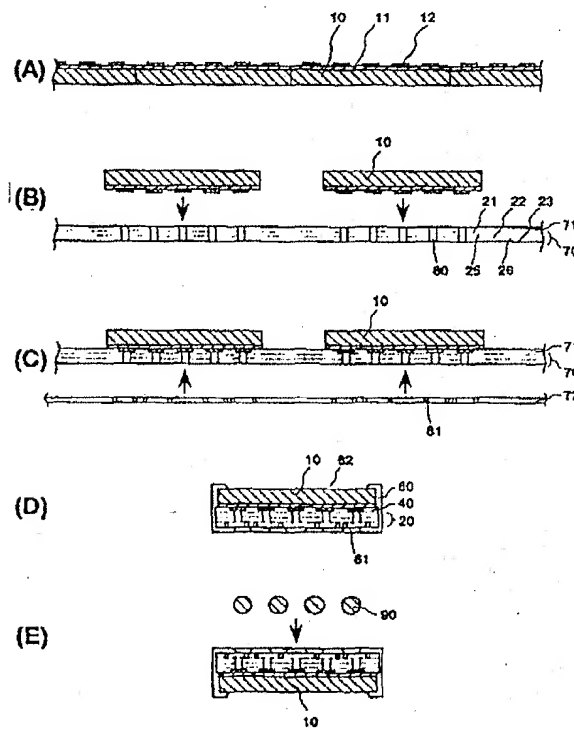


図 2

【図 3】

図 3



【図 9】

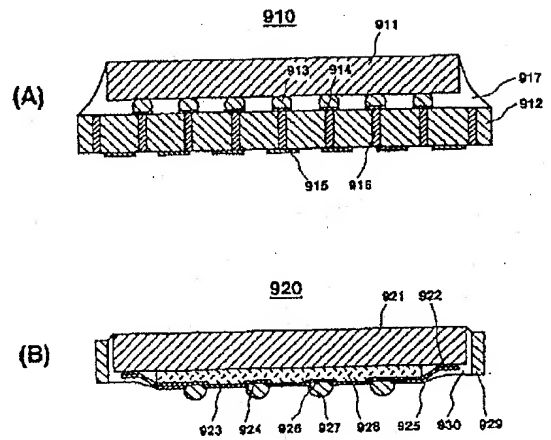


図 9

【図 4】

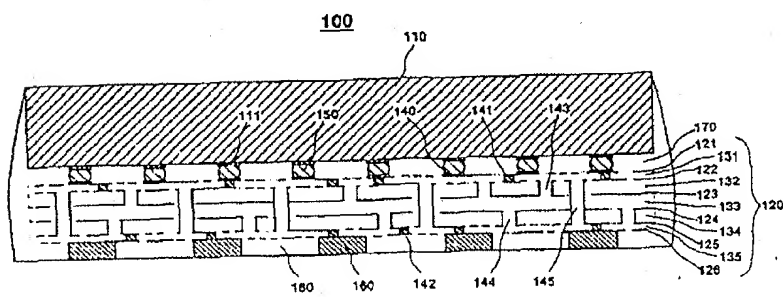
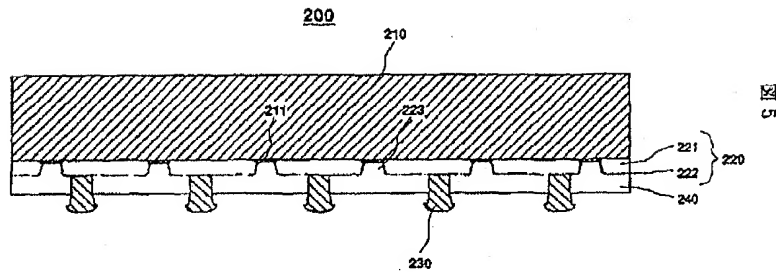
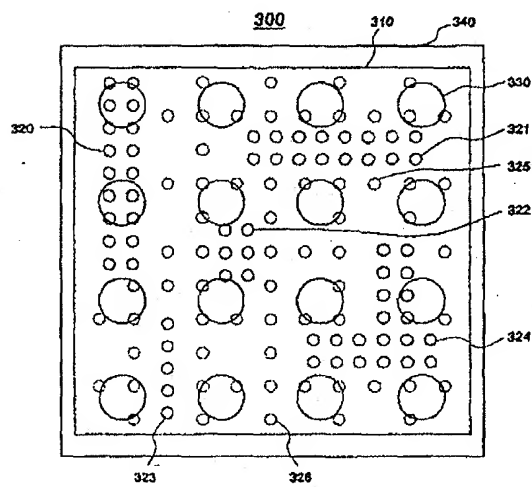


図 4

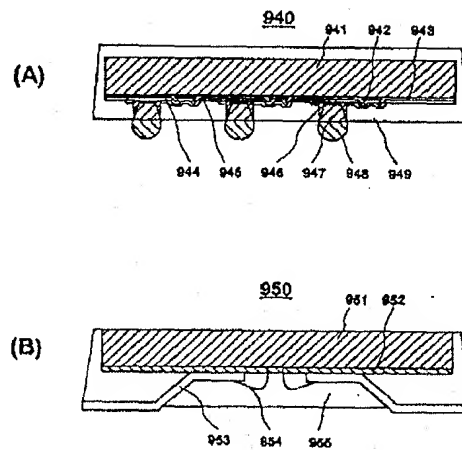
【図 5】



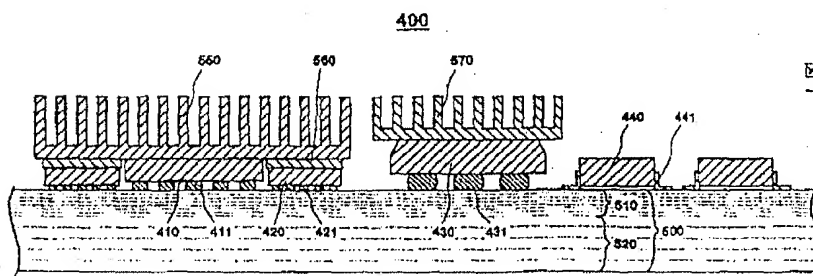
【図 6】



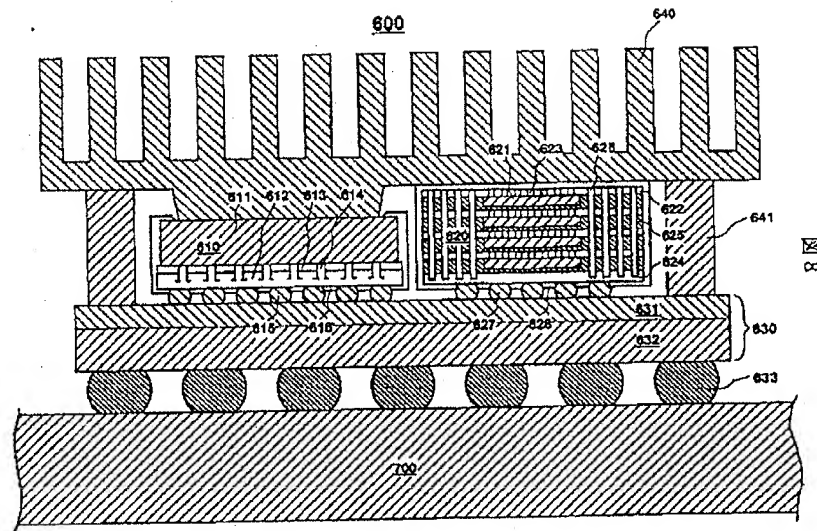
【図 10】



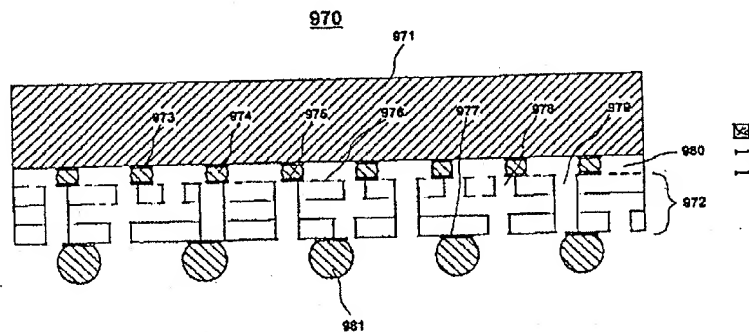
【図 7】



【図 8】



【図 11】



フロントページの続き

(72) 発明者 結城 文夫
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
(72) 発明者 中西 敬一郎
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内

(72) 発明者 以頭 博之
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
(72) 発明者 西向井 忠彦
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内
(72) 発明者 藤田 祐治
東京都国分寺市東恋ヶ窪 1 丁目 280 番地
株式会社日立製作所中央研究所内